

# ***GC-IP201 / GC-IP201B***

## **Datenblatt**

Version: 1.2  
Datum: 25.01.2017



## Revisionsübersicht

Datum	Revision	Änderung(en)
26.03.2012	0.1	Erstellung des Dokuments / Vorabversion
19.09.2012	0.2	Aktualisierung für Engineering Samples
15.01.2013	0.3	Pinliste und Blockschaltbild aktualisiert Kennwerte aktualisiert
19.03.2013	0.4	Änderung Bezeichnung Demoboard, Korrektur im Inhaltsverzeichnis
12.09.2013	1.0	EEPROM Beschreibung aktualisiert
17.10.2014	1.1	Anpassung der Spannungsbereiche für die Eingangssignale sowie der maximalen Eingangsfrequenz; Aktualisierung der Kennwerte
25.01.2017	1.2	AMAC spezifische Änderungen des Dokumentenlayouts

© Copyright 2017 AMAC ASIC- und Mikrosensoranwendung Chemnitz GmbH

Unangekündigte Änderungen vorbehalten.

Wir arbeiten ständig an der Weiterentwicklung unserer Produkte. Änderungen des Lieferumfangs in Form, Ausstattung und Technik behalten wir uns vor. Aus den Angaben, Abbildungen und Beschreibungen dieser Dokumentation können keine Ansprüche abgeleitet werden. Jegliche Vervielfältigung, Weiterverarbeitung und Übersetzung dieses Dokumentes sowie Auszügen daraus bedürfen der schriftlichen Genehmigung durch die AMAC. Alle Rechte nach dem Gesetz über das Urheberrecht bleiben AMAC ausdrücklich vorbehalten.

## Inhaltsverzeichnis

1 Übersicht.....	6
2 Eigenschaften.....	7
3 Bestellinformationen.....	7
4 Anwendungsübersicht.....	8
5 Gehäuse.....	9
6 Startverhalten / Konfigurationsoptionen.....	11
6.1 Reset.....	11
6.2 Konfiguration.....	12
7 Funktionsbeschreibung.....	14
7.1 Eingangsverstärker / Tiefpass.....	14
7.2 Signalkorrektur.....	15
7.3 Interpolation.....	16
7.3.1 Interpolationsrate.....	16
7.3.2 Flankenabstandskontrolle / Intervallzeit $t_{pp}$ / Hysterese.....	16
7.3.3 Indexsignal Z.....	17
7.4 Betriebsart / Maximale Eingangsfrequenz.....	17
7.5 Sensorüberwachung.....	18
7.5.1 Fehlerquellen.....	18
7.6 Ausgänge ABZ.....	20
7.6.1 Standard ABZ.....	20
7.6.2 Controller / DSP.....	20
7.6.3 Abgleich Referenzposition.....	21
7.6.4 Sensorabgleich.....	21
7.7 Messwerttrigger.....	23
7.8 Messwertregister POSIT, CNT, MVAL und STAT.....	24
7.9 Zähler-Preset / SPI-Kommandos / Steuersignale.....	25
7.10 Signallaufzeit.....	26
8 Digitale Schnittstellen.....	27
8.1 Serielle Schnittstelle SPI.....	27
8.1.1 Signale.....	27
8.1.2 Protokoll.....	27
8.1.3 Registerzugriff.....	28
8.1.4 SPI - Synchron / Asynchron.....	28
8.1.5 SPI - Signalfilter.....	28
8.2 BiSS-Schnittstelle.....	29
8.3 SSI-Schnittstelle.....	30
8.4 EEPROM.....	31
9 Register.....	32
10 Kennwerte.....	43
11 Applikationshinweise.....	46
11.1 Beschaltung.....	46
11.2 Schnelle äquidistante Messungen über SPI.....	51
11.3 Programmablauf.....	52
11.4 EEPROM.....	53
11.5 Auswertung abstandskodierter Referenzmarken.....	54
11.6 Konfiguration von $t_{pp}$ und $f_{osz}$ .....	55
11.7 Konfiguration der Schnittstellen SPI/BiSS/SSI.....	56
11.8 BiSS-Konfigurationsdatei idbiss4743.xml.....	58
12 Notizen.....	59

## Tabellenverzeichnis

Tabelle 1: Anwendungsübersicht.....	8
Tabelle 2: Anschlussbelegung QFN40.....	9
Tabelle 3: Konfiguration Oszillator.....	11
Tabelle 4: Auswahl des seriellen Interfaces GC-IP201.....	11
Tabelle 5: Auswahl des seriellen Interfaces GC-IP201B.....	11
Tabelle 6: Umschaltung Konfigurationsquelle.....	11
Tabelle 7: Konfigurationseingänge.....	11
Tabelle 8: Konfigurationsoptionen.....	12
Tabelle 9: Defaultkonfiguration.....	13
Tabelle 10: Defaultkonfiguration Schnittstellen.....	13
Tabelle 11: Konfiguration Nominalamplitude (Register CFG1).....	14
Tabelle 12: Konfiguration Tiefpass (Register CFG2).....	14
Tabelle 13: Beispiel Gleichtakteingangsspannung (CMIR).....	15
Tabelle 14: Signalkorrektur.....	15
Tabelle 15: Maximale Eingangsfrequenz.....	17
Tabelle 16: Überblick Sensorüberwachung.....	18
Tabelle 17: Empfohlene Konfiguration Sensorüberwachung.....	18
Tabelle 18: ABZ-Modi (Register CFG1).....	20
Tabelle 19: DSP-Modus.....	20
Tabelle 20: Sensorabgleich.....	21
Tabelle 21: Sensorabgleich.....	22
Tabelle 22: Triggermodus / Referenzpunktmodi.....	23
Tabelle 23: Positionsregister.....	24
Tabelle 24: Register CFGBISS - Konfiguration Datenformat Positionsdaten.....	24
Tabelle 25: Kommandos / Steuersignale.....	25
Tabelle 26: Laufzeit analog (tdANA).....	26
Tabelle 27: SPI-Signale.....	27
Tabelle 28: SPI-Protokoll.....	27
Tabelle 29: Register CFGBISS (BiSS-Mode).....	29
Tabelle 30: Voreinstellung BiSS-Register.....	29
Tabelle 31: Register CFGBISS (SSI-Mode).....	30
Tabelle 32: Adressierung EEPROM.....	31
Tabelle 33: Address-mapping.....	31
Tabelle 34: Registerüberblick.....	32
Tabelle 35: Absolute Grenzwerte.....	43
Tabelle 36: Betriebsbedingungen.....	43
Tabelle 37: Kennwerte Takt / Reset.....	43
Tabelle 38: Kennwerte Interpolation.....	43
Tabelle 39: Kennwerte digital.....	44
Tabelle 40: Kennwerte analog.....	44
Tabelle 41: Kennwerte EEPROM.....	44
Tabelle 42: Kennwerte SSI.....	44
Tabelle 43: Kennwerte BISS.....	45
Tabelle 44: Kennwerte SPI @CFG2/SPI SLOW=0.....	45
Tabelle 45: Kennwerte SPI @CFG2/SPI SLOW=1.....	45
Tabelle 46: IC-Beschaltung Spannungen.....	46
Tabelle 47: IC-Beschaltung unbenutzter Ein- / Ausgänge.....	46
Tabelle 48: Äquidistante Messungen.....	51
Tabelle 49: Auswertung abstandskodierter Referenzmarken.....	54
Tabelle 50: Konfiguration tpp.....	55
Tabelle 51: BiSS-Konfiguration mittels idbiss4347.xml.....	58

## Abbildungsverzeichnis

Abbildung 1: Blockschaltbild.....	6
Abbildung 2: Gehäuseabmessungen QFN40.....	10
Abbildung 3: Eingangssignale (single-ended).....	14
Abbildung 4: Eingangssignale (differenziell).....	14
Abbildung 5: CMIR (Eingangssignale).....	15
Abbildung 6: Interpolation.....	16
Abbildung 7: Flankenabstandskontrolle Zeitdiskretisierung Hysterese.....	16
Abbildung 8: Interpolation (Detail).....	17
Abbildung 9: ABZ-Signale.....	20
Abbildung 10: Abgleich Referenzsignal.....	21
Abbildung 11: Signallaufzeit.....	26
Abbildung 12: Abgleich Referenzsignal.....	26
Abbildung 13: SPI-Übertragung (1).....	27
Abbildung 14: SPI-Übertragung (2).....	28
Abbildung 15: SPI Schreiben 8Bit SPI Lesen 32 Bit.....	28
Abbildung 16: SPI Lesen 32 Bit.....	28
Abbildung 17: SPI Lesen 3 x 32 Bit.....	28
Abbildung 18: Initialisierung BiSS-Hardware.....	29
Abbildung 19: BiSS SCD (Single-Cycle-Daten).....	29
Abbildung 20: Initialisierung SSI-Hardware.....	30
Abbildung 21: SSI.....	30
Abbildung 22: SSI (Ringbetrieb).....	30
Abbildung 23: Timing SPI.....	45
Abbildung 24: Sensor mit differentiellen Ausgangssignalen.....	47
Abbildung 25: Sensor mit einer Nominalamplitude von 1Vpp oder 2Vpp.....	47
Abbildung 26: Sensor mit single-ended Ausgangssignalen (I).....	47
Abbildung 27: Sensor mit single-ended Ausgangssignalen (II).....	47
Abbildung 28: Sensor mit antiparallelen Photodioden.....	48
Abbildung 29: Photodiodenarray mit gemeinsamer Kathode oder Anode.....	48
Abbildung 30: Sensor für Stromsignale 11 $\mu$ App.....	48
Abbildung 31: ABZ-Ausgang / Konfiguration über Pin.....	49
Abbildung 32: ABZ-Ausgang / Konfiguration über EEPROM.....	49
Abbildung 33: SPI-Schnittstelle über LVDS.....	49
Abbildung 34: SPI-Schnittstelle über USB.....	49
Abbildung 35: BiSS-Schnittstelle.....	50
Abbildung 36: SSI-Schnittstelle.....	50
Abbildung 37: SPI-Schnittstelle an Mikrocontroller.....	50
Abbildung 38: Minimalapplikation.....	51
Abbildung 39: Beispiel Timer / Trigger.....	51
Abbildung 40: Programmschleife zum Lesen von MVAL und STAT.....	52
Abbildung 41: Erweiterte Programmschleifen für ZMODE 10 und 11.....	52
Abbildung 42: Programmablauf EEPROM lesen/schreiben.....	53
Abbildung 43: Auswertung abstandskodierter Referenzmarken.....	54

# 1 Übersicht

Die Interpolationsschaltkreise GC-IP201 und GC-IP201B dienen der Auflösungserhöhung für inkrementale Weg- und Winkelmesssysteme mit sinusförmigen, um 90° phasenverschobenen Ausgangssignalen. Die Signale der Inkrementalsensoren werden einer AMAC-spezifischen internen Verstärkungs- und Offsetregelung unterzogen und damit automatisch in Amplitude und Nulllage korrigiert. Die Phasenabweichung der Eingangssignale kann zusätzlich statisch über ein digitales Potentiometer abgeglichen werden. Mittels anschließender bis zu 256-facher Interpolation wird ein Weg- oder Drehwinkelwert berechnet, welcher über eine schnelle SPI-Schnittstelle, über ein SSI-Interface, über ein BiSS-Interface (nur GC-IP201B) oder mittels herkömmlicher ABZ-Rechtecksignale an nachfolgende Komponenten weitergegeben werden kann.

Der GC-IP201(B) ist sowohl eingangs- als auch ausgangsseitig für 3.3V-Schnittstellen ausgelegt. Er enthält drei Instrumentationsverstärker mit einstellbaren Verstärkungsfaktoren. Sensoren mit Spannungsschnittstelle sowie Messbrücken können direkt an den Schaltkreis angeschlossen werden. Sensoren mit Stromschnittstelle und Photodiodenarrays werden mittels einfacher Außenbeschaltung angepasst. Der IC kann sowohl mit single-ended, als auch mit differentiellen Eingangssignalen arbeiten. Ein einstellbarer analoger Tiefpass vermindert das Rauschen der Sensorsignale. Ergänzend dazu kann eine digitale Hysterese das Flankenrauschen der Ausgangssignale bei niedrigen Eingangsfrequenzen und bei Stillstand unterdrücken. So arbeitet auch im Falle einer kurzzeitigen Störung der Eingangssignale ein nachfolgend angeschlossener Interpolationszähler fehlerfrei. Im IC wird die Signalgüte der Sensoren überwacht. Dazu können neun Quellen zur Erzeugung eines Überwachungssignals einzeln konfiguriert werden.

Die Signalverzögerungszeit des IC beträgt lediglich 2.4 µs. In Verbindung mit der implementierten mehrstufigen Triggersignalverarbeitung, dem internen Timer sowie der 25 MHz SPI-Schnittstelle ist der GC-IP201(B) damit besonders für den Einsatz in schnellen Positionsreglern mit mehreren Kanälen geeignet. Die vier implementierten Ausgangsschnittstellen (ABZ/SPI/SSI/BiSS) und weitere Merkmale, wie ein integrierter Multiturnzähler, die Auswertung abstandskodierter Referenzmarken, die Möglichkeiten zum Abgleich des Referenzpunktes sowie zur Einstellung und Speicherung der Nullposition, erlauben die direkte Verwendung des IC an industriellen Steuerungen. Des Weiteren ist der IC damit für den Einsatz in absoluten Positionsmesssystemen vorbereitet.

Die Konfiguration des IC erfolgt anwendungsspezifisch aus einem integrierten EEPROM, über Konfigurationseingänge oder über das serielle Interface (SPI/BiSS).

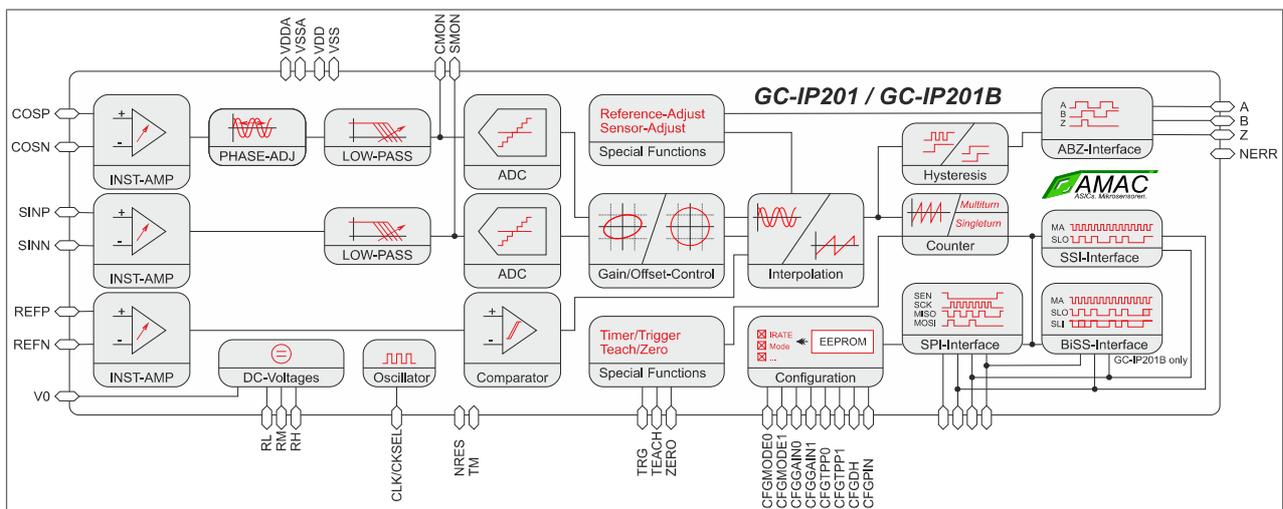


Abbildung 1: Blockschaltbild

## 2 Eigenschaften

Schnittstellen	
Analogeingang	- Sinus- / Cosinus- / Referenzsignal; differentiell oder single-ended - Nominalamplitude konfigurierbar auf 660 mV <sub>pp</sub> / 330 mV <sub>pp</sub> / 160 mV <sub>pp</sub> / 50 mV <sub>pp</sub> (entspricht an 1 V <sub>pp</sub> / 500 mV <sub>pp</sub> / 240 mV <sub>pp</sub> / 80 mV <sub>pp</sub> an 5 V-Systemen) - Maximale Eingangsfrequenz 440 kHz für alle Auflösungen (410 kHz bei aktiviertem internen Regler)
ABZ	- 90°-Rechteckfolgen (A/B/Z) - Einstellbare Breite Indexsignal Z von ¼ oder 1 Periode A/B - Fehlersignal - Interruptsignal zum µC - Hilfssignale für Sensorabgleich
SPI	- 30-Bit Zählwert / 16 Bit Multiturnwert - Datenrate bis zu 500.000 Messwerte/s - 9 Bit Signalüberwachung - Kompatibel zu Standard-SPI: 16 Bit, MSB first, bis zu 25 MHz - Aktivierbare Signalfilter zur Unterdrückung von Störimpulsen
SSI und BiSS	- Bis zu 30-Bit Zählwert / 16 Bit Multiturnwert - 2 Bit Signalüberwachung - Graycode / Binärcode - Einstellbares Timing - SSI Ringbetrieb
Weitere Eingänge	- Triggersignal zur Messwertspeicherung - Zero-Signal und Teach-Signal zu Einstellung und Speicherung der Nullpunktposition des Sensors
Konfigurationsoptionen	- Interner EEPROM - Konfigurationseingänge - Serielle Schnittstelle (SPI/BiSS)
Interpolation / Signalverarbeitung	
Interpolationsraten	256, 200, 160, 128, 100, 80, 64, (50), 40, 32, (25), 20
Signalkorrektur	- AMAC-spezifischer Digitalregler für Offset, Regelbereich ±10% der Nominalamplitude - AMAC-spezifischer Digitalregler für Amplitude, Regelbereich Faktor 60% ... 120% Nominalamplitude - Digitales Potentiometer mit 15 Stufen zur Phasenkorrektur; Einstellbereich ±5° oder ±10° - Überwachung und Beurteilung der Qualität der Eingangssignale - Verhalten des IC bei Sensorfehlern programmierbar
Störunterdrückung	- Einstellbarer Tiefpass 10 kHz, 75 kHz, 200 kHz, 450 kHz - Digitale Hysterese zur Unterdrückung des Flankenrauschens am Ausgang (0...7) - Einstellbarer Mindestflankenabstand (Bandbreitenbegrenzung) am Ausgang
Referenzsignalverarbeitung	- Einstellbare Referenzpunktposition 32 Stufen 0 ... 360° - Bestimmung der optimalen Referenzposition über SPI/BiSS oder Hilfssignale - Verarbeitung abstandskodierter Referenzmarken - Messwerttriggerung an der Referenzpunktposition
Weiteres	- 2-stufiger Messwerttrigger - Programmierbarer Timer (3.2 µs ... 420 ms) - Verzögerungszeit zwischen Abtastung und Messwert konstant 2.4 µs für alle Auflösungen - Multiturnzähler
Wichtige Kennwerte	
Bauform	QFN40 (6 x 6 mm)
Betriebsspannung	3.3V
Temperaturbereich	-40 ... 150 °C
Schnittstellenfrequenz	SPI 25 MHz, BiSS 10 MHz, SSI 5 MHz

## 3 Bestellinformationen

Produkttyp	Beschreibung/Unterscheidung	Artikelnummer
GC-IP201	Interpolationsschaltkreis GC-IP201, QFN40	PR-44201-00
GC-IP201B	Interpolationsschaltkreis GC-IP201 mit BiSS-Schnittstelle, QFN40	PR-44202-00
GC-LS	4 kanaliger analoger Level-Shifter 5V zu 3.3V	PR-44500-00
GP-IP201	Demoboard zum Interpolations-IC GC-IP201B	PR-44200-00
USB zu SPI Adapter	USB-Adapter zur SPI-Schnittstelle	PR-44025-10

## 4 Anwendungsübersicht

Tabelle 1: Anwendungsübersicht

Signalform (Sensor)		Verwendung GC-IP201(B)
Sinus. Spannung		Direktanschluss des GC-IP201(B) an Sensor
Sinus. Strom		Widerstandsbeschaltung wird benötigt
Referenzspur		Direktanschluss des GC-IP201(B) an Sensor
Rechteck		IC prinzipiell nicht geeignet
Signalspezifikation (Sensor)		Verwendung GC-IP201(B)
1 V <sub>pp</sub> nominal		Anschluss direkt über GC-LS oder mittels Widerstandsbeschaltung
660 mV <sub>pp</sub> nominal		Direktanschluss des GC-IP201(B) an Sensor
330 mV <sub>pp</sub> nominal		Direktanschluss des GC-IP201(B) an Sensor
160 mV <sub>pp</sub> nominal		Direktanschluss des GC-IP201(B) an Sensor
80 mV <sub>pp</sub> nominal		Anschluss direkt über GC-LS oder mittels Widerstandsbeschaltung
50 mV <sub>pp</sub> nominal		Direktanschluss des GC-IP201(B) an Sensor
2 V <sub>pp</sub> nominal		Widerstandsbeschaltung wird benötigt
Differenzsignal, DC-Bezugsspannung 0.82 V ... 1.8 V		Direktanschluss des GC-IP201(B) an Sensor
Single-Ended, DC-Bezugsquelle im Sensor		Direktanschluss des GC-IP201(B) an Sensor
Single-Ended, keine DC-Bezugsquelle im Sensor		Direktanschluss des GC-IP201(B) an Sensor oder mittels Widerstandsbeschaltung
Photodioden 0.5 µA <sub>pp</sub>		Widerstandsbeschaltung wird benötigt
Photodioden 11 µA <sub>pp</sub> ... 16 µA <sub>pp</sub>		Widerstandsbeschaltung wird benötigt
Resistive Messbrücke (Magnetsensoren)		Direktanschluss des GC-IP201(B) an Sensor
Schwankende Amplitude des Sensors		GC-IP201(B) enthält Amplitudenregler
Offset am Sensor nicht korrigierbar		GC-IP201(B) enthält Offsetregler
Phase am Sensor nicht korrigierbar		GC-IP201(B) enthält Potentiometer zum Phasenabgleich
Lage des Referenzsignals variabel		GC-IP201(B) enthält Möglichkeit zum Abgleich der Referenzpunktposition
Abstandskodierte Referenzmarken		Spezielle Triggermöglichkeit des GC-IP201(B) bei Anschluss über SPI
Nachfolgeelektronik		Verwendung GC-IP201(B)
Ausgang an µController/DSP/FPGA		Anschluss über SPI-Interface
Ausgang an externen Interpolationszähler		Anschluss über ABZ-Interface
Ausgang an industrielle Steuerung		Anschluss über SSI, BiSS oder ABZ-Interface
System enthält mehrere Kanäle		Gleichzeitige Verwendung an nur einem SPI/BiSS-Bus möglich
Echtzeitanwendungen / Äquidistante Abtastung		Konstante Verzögerung von nur 2.4µs, Trigger oder Timer nutzen
IC-Konfiguration		Interner EEPROM, Alle Register über SPI und BiSS konfigurierbar
Signalspezifikation LVCMOS		Ein-/Ausgänge direkt nutzbar
Signalspezifikation RS422		Leitungstreiber erforderlich
Multiturnzähler benötigt		Anschluss über SPI, SSI, BiSS
Maximale Signalfrequenz		
Drehgeber:		$f_{max} = (\text{Umdrehung} / \text{Minute}) \cdot (\text{Signalperioden} / \text{Umdrehung}) / 60$
Lineargeber		$f_{max} = (V_{MAX} [\text{in m/s}] / (\text{Signalperiode} [\text{in mm}]) \cdot 1000$
f <sub>max</sub> < 440 kHz		Alle Interpolationsraten bis 256 über SPI/SSI/BiSS mit deaktivierter Signalregelung
f <sub>max</sub> < 410 kHz		Alle Interpolationsraten bis 256 über SPI/SSI/BiSS mit aktiver Signalregelung
f <sub>max</sub> < 40 MHz / Interpolationsrate		Bei Verwendung ABZ-Ausgang
Maximale Frequenz des Zählers an ABZ bekannt		Anpassung des GC-IP201(B) über CFGTPP möglich
Eingeschränkte Baugröße		
Gehäuse		QFN40, Außenmaß 6 mm x 6 mm
Minimalbeschaltung		7 Block-C, 2 Pull-Up Widerstände, optional: RS422-Treiber

## 5 Gehäuse

Tabelle 2: Anschlussbelegung QFN40

Pin	Name	Typ	Bedeutung
1	VDDA	Power	Versorgungsspannung analog +3.3 V
2	V0	Ausgang analog (Buffer)	Mittenspannung zur Verwendung an Sensoren
3	RL	Analog	ADC-Referenzspannung 0.625V – C extern,
4	RH	Analog	ADC-Referenzspannung 1.575V – C extern,
5	RM	Analog	ADC-Referenzspannung 1.1V – C extern,
6	VSSA	Power	Masse analog
7	VDDA	Power	Versorgungsspannung analog +3.3 V
8	OUTR_1st	Ausgang analog	Testausgang
9	REFP	Eingang analog	Eingang Referenz positiv
10	REFN	Eingang analog	Eingang Referenz negativ
11	COSP	Eingang analog	Eingang Cosinus positiv
12	COSN	Eingang analog	Eingang Cosinus negativ
13	SINP	Eingang analog	Eingang Sinus positiv
14	SINN	Eingang analog	Eingang Sinus negativ
15	CFGTPP<0>/HWA<0>	Eingang digital / Pull-Down	Konfiguration Intervallzeit / Hardwareadresse
16	CFGTPP<1>/HWA<1>	Eingang digital / Pull-Down	Konfiguration Intervallzeit / Hardwareadresse
17	CFGMODE<1>/Zero	Eingang digital / Pull-Up	Konfiguration Modus ABZ / Impuls zum Rücksetzen des Zählers
18	CFGMODE<0>/Teach	Eingang digital / Pull-Up	Konfiguration Modus ABZ / Impuls zum Speichern des Zählwertes
19	NRES	Ein-/Ausgang digital /Open-Drain/Pull-Up	Reset
20	CLK/CKSEL	Eingang digital / Pull-Down	Takt oder Auswahl interner RC-Oszillator bei dauerhaftem L-Pegel
21	NERR	Ausgang digital / Open-Drain	Fehlersignal / Hilfssignal zum Sensorabgleich, <b>externer Pull-Up nötig</b>
22	Z	Ausgang digital <sup>1)</sup>	Quadratursignal / Hilfssignal zum Sensorabgleich
23	B	Ausgang digital <sup>1)</sup>	Quadratursignal / Hilfssignal zum Sensorabgleich / Samplesignal
24	A	Ausgang digital <sup>1)</sup>	Quadratursignal / Hilfssignal zum Sensorabgleich / Interruptsignal
25	VSS / VSSIO	Power	Masse digital
26	VDD / VDDIO	Power	Versorgungsspannung digital +3.3 V
27	MISO/SLO	Ausgang digital / Open-Drain	SPI/BiSS/SSI : Datenausgang GC-IP201, <b>externer Pull-Up nötig</b>
28	SCK/MA	Eingang digital / Pull-Down	SPI/BiSS/SSI : Takt
29	MOSI/SLI	Eingang digital / Pull-Down	SPI/BiSS : Dateneingang GC-IP201
30	SEN	Eingang digital / Pull-Up	SPI: Freigabe / während. Reset: Konfiguration SPI / BiSS oder SSI
31	TM	Eingang digital / Pull-Down	Testmodus; mit VSS beschalten
32	CFGPIN	Eingang digital / Pull-Up	Konfigurationsauswahl EEPROM oder Pin
33	CFGGAIN<1>/HWA<3>	Eingang digital / Pull-Down	Konfiguration Verstärkung und Nominalamplitude / Hardwareadresse
34	CFGGAIN<0>/HWA<2>	Eingang digital / Pull-Down	Konfiguration Verstärkung und Nominalamplitude / Hardwareadresse
35	VSS	Power	Masse digital
36	VDD	Power	Versorgungsspannung digital +3.3 V
37	CFGDH/TRG	Eingang digital / Pull-Up	Konfiguration digitale Hysterese / Triggereingang
38	CMON	Ausgang analog	Ausgang Instrumentationsverstärker Cosinus
39	SMON	Ausgang analog	Ausgang Instrumentationsverstärker Sinus
40	VSSA	Power	Masse analog
EXPOSED	VSS	Gehäuse	Masse digital

<sup>1)</sup> Die Pins A, B und Z können im Fehlerfall **optional** Tristate-Zustand annehmen!

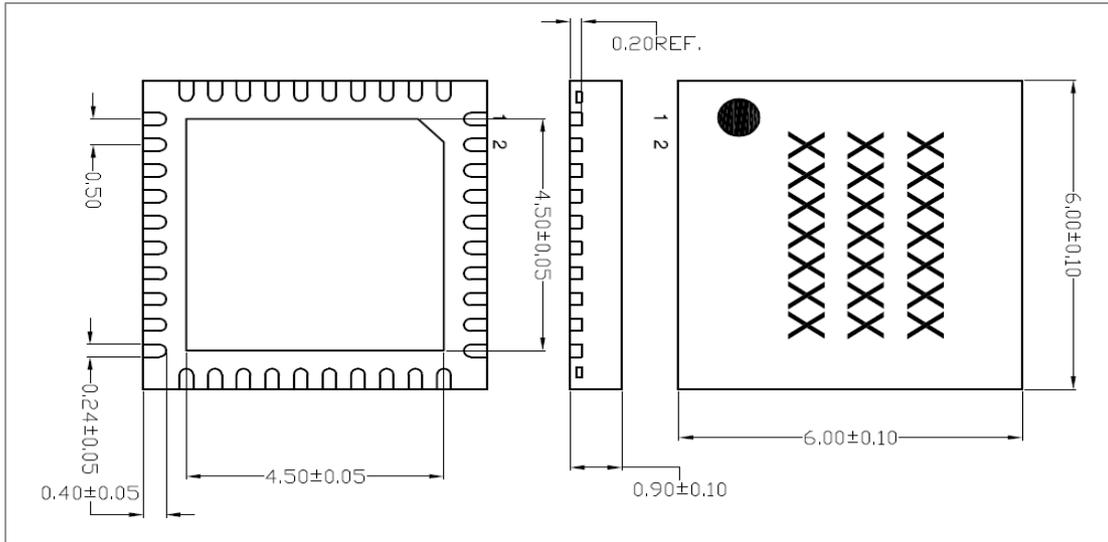


Abbildung 2: Gehäuseabmessungen QFN40

## 6 Startverhalten / Konfigurationsoptionen

### 6.1 Reset

Während des Rücksetzens des Schaltkreises werden das digitale Interface festgelegt (SPI oder SSI/BiSS) sowie alle Register initialisiert. Die Initialisierung des IC erfolgt dabei entweder aus dem internen EEPROM oder über Konfigurationseingänge. Die Konfiguration aus dem internen EEPROM geschieht nur, wenn an EEPROM-Adresse 0x00 eine gültige Kennung programmiert wurde und der Eingang  $CFG_{PIN}$  L-Pegel führt. Je nach Konfiguration der Schnittstelle, des EEPROM und des Konfigurationsmodus werden Pins mit Doppelbedeutung umgeschaltet. Während des gesamten Resetablaufes wird, abhängig von der ausgewählten Schnittstelle, einer der Ausgänge  $NERR$  oder  $MISO$  auf L-Pegel gehalten. Bis zu diesem Zeitpunkt dürfen die seriellen Schnittstellen nicht aktiviert werden. Nach abgeschlossener Initialisierung ist die Konfiguration des Schaltkreises mittels der seriellen Schnittstellen SPI und BiSS jederzeit änderbar. Folgende Tabellen zeigen alle während des Rücksetzens vom Anwender festzulegenden Konfigurationsoptionen.

Tabelle 3: Konfiguration Oszillator

Oszillator	Pin CLK / CKSEL	Frequenz
intern	DVSS	ca. 40 MHz
extern	Takt	4 MHz ... 40 MHz

Tabelle 4: Auswahl des seriellen Interfaces GC-IP201

Schnittstelle	SEN Resetwert	BIT SSI <sup>1)</sup>	Pin MISO / SLO	Pin MOSI / SLI	Pin SCK	Pin SEN	Ready-Signal
SPI	1	beliebig	SPI-MISO	SPI-MOSI	SPI-SCK	SPI-SEN	an MISO
SSI	0	beliebig	SSI-DATA	-	SSI-MA	0	an NERR

<sup>1)</sup> Register CFG3 / Bit 15

Tabelle 5: Auswahl des seriellen Interfaces GC-IP201B

Schnittstelle	SEN Resetwert	BIT SSI <sup>1)</sup>	Pin MISO / SLO	Pin MOSI / SLI	Pin SCK	Pin SEN	Ready-Signal
SPI	1	beliebig	SPI-MISO	SPI-MOSI	SPI-SCK	SPI-SEN	an MISO
SSI	0	1	SSI-DATA	-	SSI-MA	0	an NERR
BiSS	0	0	BiSS-SLO	BiSS-SLI	BiSS-MA	0	an NERR

<sup>1)</sup> Register CFG3 / Bit 15

Tabelle 6: Umschaltung Konfigurationsquelle

CFG <sub>PIN</sub> Resetwert	Inhalt EEPROM Adresse 0x00	Konfiguration	Konfigurationspins lt. Tabelle 7
1	beliebig	Laut Tabelle 9 (Pin)	Zur Konfiguration / Hardwareadresse = 0000
0	Ungleich 0x134A	Laut Tabelle 9 (Pin)	Zur Konfiguration / Hardwareadresse = 0000
0	0x134A	Aus EEPROM / Tabelle 9 (EEP)	Sonderfunktionen / Hardwareadresse einstellbar

Tabelle 7: Konfigurationseingänge

PIN	Zur Konfiguration (CFG <sub>PIN</sub> = 1)	Sonderfunktion bei Konfiguration aus EEPROM
CFG <sub>TPP&lt;0&gt;/HWA&lt;0&gt;</sub>	Minimaler Flankenabstand TPP – Bit 0	Hardwareadresse Bit 0
CFG <sub>TPP&lt;1&gt;/HWA&lt;1&gt;</sub>	Minimaler Flankenabstand TPP – Bit 1	Hardwareadresse Bit 1
CFG <sub>GAIN&lt;0&gt;/HWA&lt;2&gt;</sub>	Nominalamplitude – Bit 0	Hardwareadresse Bit 2
CFG <sub>GAIN&lt;1&gt;/HWA&lt;3&gt;</sub>	Nominalamplitude – Bit 1	Hardwareadresse Bit 3
CFG <sub>MODE&lt;0&gt;/Teach</sub>	ABZ-Modus – Bit 0	Impuls zum Speichern des Zählwertes
CFG <sub>MODE&lt;1&gt;/Zero</sub>	ABZ-Modus – Bit 1	Impuls zum Rücksetzen des Zählers
CFG <sub>DH/TRG</sub>	Digitale Hysterese – Bit 0	Triggersignal

## 6.2 Konfiguration

Der IC kann mit Hilfe von Konfigurationsregistern an verschiedenartigste Messsysteme und Folgeelektroniken angepasst werden. Erfolgt die Initialisierung des IC mittels EEPROM oder einer seriellen Schnittstelle (SPI/BiSS), stehen alle Konfigurationsmöglichkeiten zur Verfügung. Bei Initialisierung über die Konfigurationseingänge sind ausgewählte Parameter extern einstellbar. Tabelle 8 gibt einen Überblick über die Konfigurationsmöglichkeiten des GC-IP201(B). Tabellen 9 und 10 zeigen die vom Hersteller voreingestellte IC-Konfiguration.

Tabelle 8: Konfigurationsoptionen

Parameter	Mögliche Werte	Register / Bit
Interpolationsrate	256, 200, 160, 128, 100, 80, 64, 50, 40, 32, 25, 20	CFG1 / IR(3:0)
Min. Flankenabstand $t_{pp}$	1, 2, 4, 8, 16, 32, 64, 128	CFG1 / TPP(2:0)
Referenzsignalverarbeitung	Enable, Disable, Verzögert Index 1 Periode / 1 Inkrement Position 0°-360°, Schrittweite 11.25° Modus Reset, Trigger, Abgleich, Abstandskodiert	CFG3 / DISZ, ZDEL CFG1 / Z4 CFG3 / ZPOS CFG3 / ZMODE
Signalamplitude nominal	660 mV <sub>pp</sub> , 330 mV <sub>pp</sub> , 160 mV <sub>pp</sub> , 50 mV <sub>pp</sub>	CFG1 / GAIN(1:0)
Analoger Tiefpass	10 kHz, 75 kHz, 200 kHz, 450 kHz, inaktiv	CFG2 / LP(1:0), DISLP
Digitale Hysterese	0 (Disable), 1 ... 7	CFG1 / DHE(2:0)
Ausgangssignale A/B/Z	ABZ, DSP-Modus, Sensor- und Referenzpunktgleich	CFG1 / MODE (2:0)
Fehlerverarbeitung	Maskierung, Speicherfreigabe Verhalten der ABZ-Ausgänge im Fehlerfall	CFG1 / Mxxx, Lxxx CFG1 / HLD, TRI
Phasenkorrektur	± 10° Schrittweite 1.4°, ±5° Schrittweite 0.7°	CFG2 / PHBER, PH(2:0)
Tiefpassfilter	Enable, Disable	CFG1 / LPF
Verstärkungsregler	Voreinstellung / Zeitkonstante / Enable, Disable	CNTRLG, CFG2 / GAINCTL, DISCTL
Offsetregler	Voreinstellung / Zeitkonstante / Enable, Disable	CNTRLO, CFG2 / OFFSCTL, DISCTL
Hardwareadresse	0-15	CMD / SETHWA
Sonderfunktionen	Triggerflanke Teach Aktiv / Inaktiv Mess-Timer Zähler Nullposition (Preset)	CFG1 / TRGSLP CFG1 / TEAN CFG2 / VT(1:0), T(7:0) PRE_ST, CFG3 / PRE_MT
Schnittstellenkonfiguration	Datenformat Positionswerte SPI-Modus Synchron, Asynchron SPI-Timing BiSS aktiv, inaktiv* SSI-Timing BiSS-Timing* BiSS-Datenformat 8Bit, 32 Bit*	CFGBISS / SSI13, MTBIT, GRAY, STBIT CFG2 / ASYNC, SYNC(4:0) CFG3 / SPISLOW CFG3 / SSI CFGBISS / SSITO, CLK10, RING CFGBISS / BISSTO, CLK10 CFGBISS / READ32

\*nur IP201B

Detaillierte Beschreibungen aller Konfigurationsbits sind in Abschnitt 9 zu finden.

Tabelle 9: Defaultkonfiguration

Konfiguration	Default (EEPROM mit Herstellerprogrammierung)	Default (Pin)
Analog	Phasenkorrektur 0° Lowpass -1dB 450 kHz Nominalamplitude <b>660 mVpp</b>	Phasenkorrektur 0° Lowpass -1dB 450 kHz Nominalamplitude <b>über Pin konfiguriert</b>
Interpolation	Interpolationsrate 256 Regler aktiv, langsam Startwerte Regler Mittenwerte Referenzpunkt bei 45°	Interpolationsrate 256 Regler aktiv, langsam Startwerte Regler Mittenwerte Referenzpunkt bei 45°
ABZ-Ausgänge	Modus <b>ABZ</b> TPP <b>0</b> Digitale Hysterese <b>1</b> Z aktiv, 1 Inkrement Im Fehlerfall Hold	Modus <b>über Pin konfiguriert</b> TPP <b>über Pin konfiguriert: 0...3</b> Digitale Hysterese <b>über Pin konfiguriert: 0/1</b> Z aktiv, 1 Inkrement Im Fehlerfall Hold
Fehlerverarbeitung	Überwachung Alle Fehler (ABZ-Modus) Speicherung <b>Aktiv</b>	Überwachung Alle Fehler (ABZ-Modus) Speicherung <b>Inaktiv</b>
Sonderfunktionen	Zero <b>aktiv</b> Teach <b>inaktiv über CFG1/TEAEN</b> Presetwerte 0x00	Zero <b>immer inaktiv</b> Teach <b>immer inaktiv</b> Presetwerte 0x00

Tabelle 10: Defaultkonfiguration Schnittstellen

Konfiguration	Default (EEPROM mit Herstellerprogrammierung)	Default (Pin)
SPI-Schnittstelle	Aktivierbar über SEN <b>Hardwareadresse an CFGGAIN/CFGTPP</b> Modus langsam	Aktivierbar über SEN <b>Hardwareadresse 0000</b> Modus langsam
SSI-Schnittstelle	IP201 Aktivierbar über SEN IP201B inaktiv	IP201 Aktivierbar über SEN IP201B inaktiv
	Timeout 20 µs @ 40 MHz, Ringmodus Format 13Bit Singleturn	Timeout 20 µs @ 40 MHz, Ringmodus Format 13Bit Singleturn
BiSS-Schnittstelle	IP201 inaktiv IP201B Aktivierbar über SEN	IP201 inaktiv IP201B Aktivierbar über SEN
	<b>Hardwareadresse an CFGGAIN/CFGTPP</b> Timeout 25.6 µs @ 40MHz Format 30Bit Singleturn	<b>Hardwareadresse 0000</b> Timeout 25.6 µs @ 40 MHz Format 30Bit Singleturn

## 7 Funktionsbeschreibung

### 7.1 Eingangsverstärker / Tiefpass

Der GC-IP201(B) enthält drei Instrumentationsverstärker mit einstellbaren Verstärkungsfaktoren. Inkrementalgeber mit Spannungsschnittstelle sowie Messbrücken können direkt angeschlossen werden. Sensoren mit Stromschnittstelle werden mittels einfacher Außenbeschaltung (siehe 11.1) angepasst. Der IC kann sowohl mit single-ended, als auch mit differentiellen Eingangssignalen arbeiten. Die Verstärkung ist für alle Signale des Sensors (Sinus, Cosinus, Referenz) identisch. Zur Anpassung des GC-IP201(B) an kundenspezifische Sensoren steht die Mittenspannung der Instrumentationsverstärker am Ausgang  $V_0$  zur Verfügung. Die Instrumentationsverstärker sind mit den internen AD-Wandlern verbunden. Wahlweise geschieht diese Verbindung direkt oder über ein konfigurierbares Tiefpass-Filter. (siehe Tabelle 12). Der Pegel am Eingang der Analog-Digital-Umsetzer kann über die Monitorausgänge  $SMON$  und  $CMON$  überwacht werden.

Tabelle 11: Konfiguration Nominalamplitude (Register  $CFG1$ )

CFG1/GAIN(1:0)	00	01	10	11
Eingangsspannung für differentielle Einspeisung <sup>1)</sup> ( $mV_{pp}$ )	330	165	80	25
Eingangsspannung nominal $U_{DIFFNOM}$ ( $mV_{pp}$ )	<b>660</b>	<b>330</b>	<b>160</b>	<b>50</b>
Eingangsspannungsbereich für Interpolation $U_{DIFF}$ ( $mV_{pp}$ )	400...800	200...400	100...200	30...60
Eingangsspannungsbereich bis ADC-Übersteuerung $U_{DIFFMAX}$ ( $mV_{pp}$ )	990	495	240	75
Mittenspannung an $V_0$ nominal	1.1	1.1	1.1	1.1
Ausgangsspannung $U_{MON}$ nominal an $SMON$ / $CMON$ ( $V_{pp}$ )	1.27	1.27	1.27	1.27
Verstärkungsfaktor ( $U_{MON} / U_{DIFF}$ )	1.92	3.85	7.94	25.4

<sup>1)</sup> an jedem der Eingänge  $SINP$ ,  $SINN$ ,  $COSP$ ,  $COSN$

Tabelle 12: Konfiguration Tiefpass (Register  $CFG2$ )

Grenzfrequenz -1dB	CFG2/DISLP	CFG2/LP(1:0)
450 kHz	0	00
200 kHz	0	01
75 kHz	0	10
10 kHz	0	11
Tiefpass nicht aktiv	1	beliebig

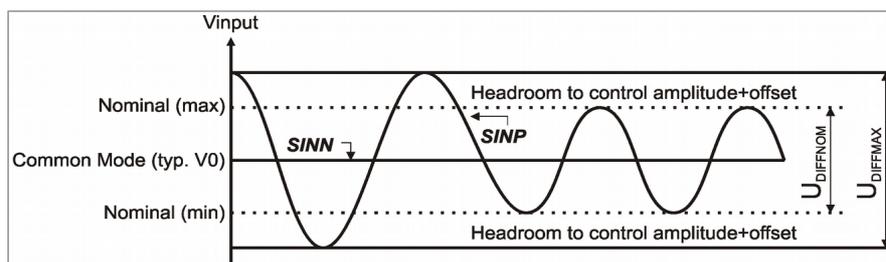


Abbildung 3: Eingangssignale (single-ended)

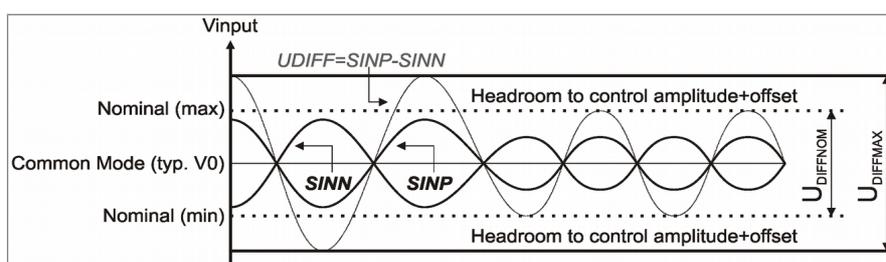


Abbildung 4: Eingangssignale (differentiell)

Es existiert eine Begrenzung der Eingangspegel an den Eingängen der Instrumentationsverstärker von  $V_{in}=0.35 \text{ V} \dots V_{DDA}-1.00 \text{ V}$ . Je nach Gleichtaktspannung an den analogen Eingängen wird dadurch der Arbeitsbereich für die GAIN-Einstellung „00“ ( $V_{NOM} = 660 \text{ mV}_{pp}$ ) eingeschränkt.

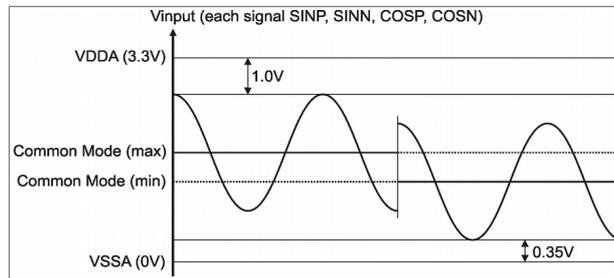


Abbildung 5: CMIR (Eingangssignale)

Beispielhaft sind einige Kombinationen von Gleichtakteingangsspannung und VDDA bei Maximalamplitude für single-ended Signale ( $800 \text{ mV}_{pp}$ ) und Maximaloffset ( $\pm 70 \text{ mV}$ ) aufgeführt:

Tabelle 13: Beispiel Gleichtakteingangsspannung (CMIR)

VDDA	Gleichtaktspannung (Min)	Gleichtaktspannung (Max)
3.30V	0.82V	1.83V
3.15V	0.82V	1.63V
3.00V	0.82V	1.53V

## 7.2 Signalkorrektur

Die Eingangssignale werden einer AMAC-spezifischen Gain- und Offsetregelung unterzogen. Die Amplituden werden im Bereich von 60% bis 120% der Nominalamplitude ausgeregelt. Der Regelbereich für den Offset der beiden Eingangssignale beträgt  $\pm 15\%$  der Nominalamplitude. Die Phasenabweichung der Eingangssignale kann statisch über ein digitales Potentiometer in 16 Stufen korrigiert werden. Ein Konfigurationsbit legt den Einstellbereich der Phase auf ca.  $\pm 5^\circ$  oder ca.  $\pm 10^\circ$  fest. Nach dem Rücksetzen des IC werden Startwerte zur Korrektur für Amplitude und Offset der beiden Eingangssignale aus dem EEPROM geladen. Die volle Messgenauigkeit erreicht der IC jedoch erst nach dem Einschwingen der internen Signalregelung nach ca. 10...50 Teilungsperioden. Um die größtmögliche Genauigkeit der Amplituden- und Offsetregelung zu erreichen, muss das Phasenpotentiometer auf den am GC-IP201(B) angeschlossenen Sensor abgeglichen werden. Im GC-IP201(B) werden Amplituden- und Offsetfehler als Einheit betrachtet. Für spezielle Applikationen bedeutet dies, dass bei Verringerung eines der Fehler u.U. ein größerer zulässiger Fehler des jeweils anderen Parameters zugelassen werden kann. Weiterhin kann die Reglerdynamik an unterschiedliche Anwendungen angepasst werden. (Register `CFG2/GAINCTL` und `CFG2/OFFSCTL`)

Tabelle 14: Signalkorrektur

Größe	in % bezogen auf nominale Amplitude (PEAK-PEAK)	in % bezogen auf ADC-Maximum (PEAK-PEAK)	in mV bezogen auf Standardsignal (0.66 Vpp)	in V am Pin SMON bzw. CMON (PEAK-PEAK)
Maximalwert am Eingang ( $V_{max_{pp}}$ )	150	100	990	1.90
Nominalwert des Eingangssignals ( $V_{nom_{pp}}$ )	100	66.7	660	1.27
Garantierter Regelbereich Amplitude	60 ... 120	40 ... 80	400 ... 800	0.76 ... 1.52
Einstellbereich Amplitudenregler	56 ... 168 <sup>1)</sup>	37 ... 112 <sup>1)</sup>	370 ... 1110 <sup>1)</sup>	0.71 ... 2.13 <sup>1)</sup>
Vektorüberwachung <sup>2)</sup>	30	20	200	0.38
Garantierter Regelbereich Offset (Sensor)	$\pm 15$	$\pm 10$	$\pm 70$	$\pm 0.191$
Einstellbereich Offsetregler	$\pm 25$	$\pm 17$	$\pm 165$	$\pm 0.315$

<sup>1)</sup> Der Einstellbereich für die Amplitude überschreitet den Aussteuerbereich des ADC.

<sup>2)</sup> Ein Summensignal aus Sinus und Cosinus wird überwacht. Siehe Abschnitt 7.5 Bit VLOW

### 7.3 Interpolation

Die Signalperioden der analogen Eingangssignale Sinus und Cosinus werden je nach eingestellter Interpolationsrate unterteilt und als Phasenwert ( $\phi_{HI}$ ) sowie als Zählwert über die seriellen Schnittstellen (SPI/SSI/BiSS) an nachfolgende Komponenten weitergegeben. Parallel dazu werden um  $90^\circ$  phasenverschobene Rechteckfolgen (A/B/Z-Signale) generiert. Weiterhin wird die Anzahl der erkannten Referenzmarken vorzeichenrichtig gezählt. Für Drehgeber ist damit ein so genannter Multiturnzähler bereits im IC integriert.

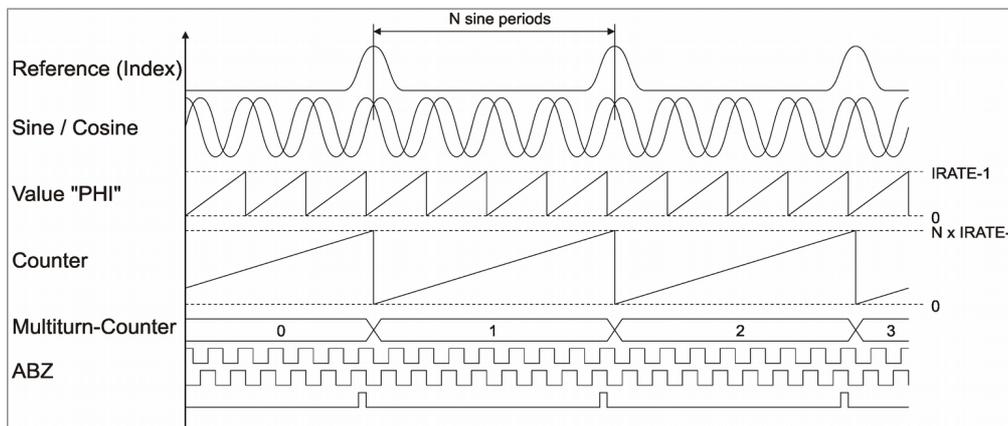


Abbildung 6: Interpolation

#### 7.3.1 Interpolationsrate

Die Interpolationsrate (IRATE) kann zwischen 256, 200, 160, 128, 100, 80, 64, 50, 40, 32, 25 und 20 ausgewählt werden. Als Interpolationsrate wird hier die Anzahl der Inkremente verstanden, in die eine Sinusperiode/Cosinusperiode der Eingangssignale unterteilt wird. Dies entspricht der Anzahl der Flankenwechsel auf den A/B-Ausgängen pro Eingangssignalperiode. Die Anzahl der Rechteckperioden an den Ausgängen A und B beträgt  $\frac{1}{4}$  der Interpolationsrate.

ⓘ Es ist zu beachten, dass die Interpolationsraten 50 und 25 nicht bei Auswertung der ABZ-Signale eingestellt werden dürfen. Bei ausschließlicher Verwendung des integrierten Interpolationszählers sind diese Interpolationsraten jedoch zulässig.

#### 7.3.2 Flankenabstandskontrolle / Intervallzeit $t_{pp}$ / Hysterese

Die Ausgangssignale A, B und Z ändern sich in einem zeitlichen Abstand  $t_{pp}$ , welcher durch die Konfigurationsbit  $CFG1/TPP(2:0)$  auf einen minimalen Wert begrenzt werden kann. Die Abstufung der Zeitschritte ist abhängig von der Oszillatorfrequenz und kann in binären Schritten konfiguriert werden. Nach dem Schalten eines der Ausgänge wird die nächstfolgende Flanke des anderen Signals erst am IC-Ausgang sichtbar, wenn die Zeit  $t_{pp}$  abgelaufen ist. So kann auch im Falle einer kurzzeitigen Störung der Eingangssignale ein nachfolgend angeschlossener Interpolationszähler fehlerfrei arbeiten. Die Konfiguration der Intervallzeit erfolgt durch den Anwender des IC in Abhängigkeit von dem an den Ausgängen A, B und Z angeschlossenen Zähler (siehe dazu Abschnitt 7.4). Zu beachten ist allerdings die dadurch entstehende Zeitdiskretisierung am Ausgang des Schaltkreises. Im GC-IP201(B) ist ein digitales Interpolationsverfahren realisiert. Dies hat zur Folge, dass die geschwindigkeitsproportionalen Ausgangssignale von unvermeidbaren Quantisierungsfehlern (den so genannten  $\pm 1$  Fehlern) überlagert sind. Diese können durch die Aktivierung der digitalen Hysterese (Register  $CFG1/DH(2:0)$ ) ausgeblendet werden. Es wird dann das Schalten der Ausgänge bei statischen Eingangssignalen verhindert. Alle Ausgangssignale werden hierbei um den eingestellten Hysteresewert verzögert.

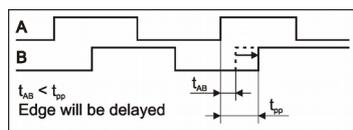
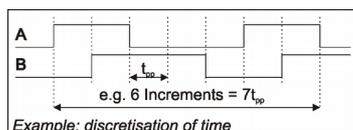
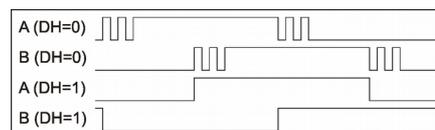


Abbildung 7: Flankenabstandskontrolle



Zeitdiskretisierung



Hysterese

### 7.3.3 Indexsignal Z

Das Indexsignal  $Z$  wird generiert, wenn die Differenzspannung der Referenzeingänge  $REFP$  und  $REFN$  positiv ist und die Analogsignale Sinus und Cosinus den im Register  $CFG3$  mit den Bits  $ZPOS(4:0)$  eingestellten Phasenwinkel aufweisen. Vom Hersteller ist dieser Winkel auf  $45^\circ$  vorkonfiguriert. Am Ausgang des IC ist die Breite des Indexsignals umschaltbar zwischen 1 und 4 Inkrementen, d.h. zwischen  $\frac{1}{4}$  und 1 Periode der Ausgangssignale  $A$  und  $B$ . Ist der IC auf die Indexbreite 1 Inkrement ( $\frac{1}{4}$  Periode) konfiguriert, so führen die Ausgänge  $A$  und  $B$  bei aktivem  $Z$ -Signal H-Pegel. Der Abgleich des Phasenwinkels zur Erkennung des Referenzsignals für konkrete Sensoren kann mit Hilfe von Testsignalen oder einem im IC dafür vorgesehenem Triggermodus erfolgen. Siehe dazu Abschnitt 7.7. Nachfolgende Abbildung zeigt den Zusammenhang zwischen den analogen Eingangssignalen, den Ausgangssignalen  $A, B$  und  $Z$  sowie dem Wert im integrierten Zähler.

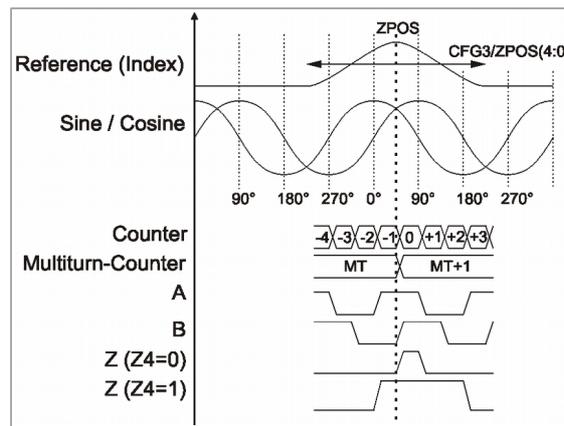


Abbildung 8: Interpolation (Detail)

### 7.4 Betriebsart / Maximale Eingangsfrequenz

Die maximale Eingangsfrequenz ist abhängig von der gewählten Schnittstelle am Ausgang. Werden die Rechteckfolgen ( $ABZ$ ) als Ausgangssignal verwendet, so wird die maximale Eingangsfrequenz begrenzt durch die Interpolationsrate und den minimalen Flankenabstand ( $t_{pp}$ ). Wird ausschließlich der interne Zählwert verarbeitet (Schnittstellen SPI, SSI oder BiSS), so wird die maximale Eingangsfrequenz durch die Taktfrequenz des Schaltkreises ( $f_{OSZ}$ ) bestimmt. Die Umschaltung der Betriebsart **und** der überwachten Frequenz erfolgt durch das Bit  $MABZ$  im Register  $CFG1$ . Sollen beide Ausgangsschnittstellen gleichzeitig benutzt werden, so muss das Bit  $MABZ$  mit 1 initialisiert werden.

Tabelle 15: Maximale Eingangsfrequenz

Betriebsart	CFG1/MABZ	Maximalfrequenz für Zähler	Maximalfrequenz für ABZ-Ausgang
Zähler	0	$f_{max\_cnt} \approx f_{OSZ} / 90$ (mit deaktivierter Signalregelung) $f_{max\_cnt} \approx f_{OSZ} / 96$ (mit aktivierter Signalregelung)	Keine Fehlererkennung
Rechteck, $t_{pp} = N/f_{OSZ}$ $N = 2^{CFG1-TPP(2:0)}$	1	$f_{max} \approx 0.9 \cdot f_{OSZ} / IRATE < f_{max\_cnt}$	$f_{max} \approx 0.90 \cdot f_{OSZ} / (N \cdot IRATE) < f_{max\_cnt}$ (falls $N=1$ ) $f_{max} \approx 0.95 \cdot f_{OSZ} / (N \cdot IRATE) < f_{max\_cnt}$ (falls $N>1$ )

Als Grenzwerte erhält man eine maximale Eingangsfrequenz von ca. 440 kHz bei einem Takt von  $f_{OSZ} = 40\text{MHz}$  sowie einen garantierten Flankenabstand von  $32\mu\text{s}$  bei einem minimalen Takt von  $f_{OSZ} = 4\text{MHz}$ . Zwischen diesen beiden Werten kann durch geeignete Wahl von Taktfrequenz und Flankenabstand der GC-IP201(B) an die Folgeelektronik angepasst werden. Alle Werte gelten bei abgeglichener Phase zwischen den Eingangssignalen und nach dem Einschwingen der internen Signalregelung. Bis zu diesem Zeitpunkt darf die Eingangsfrequenz nur 50% der angegebenen Maximalfrequenz betragen.

- ① Bei aktivierter Signalkorrektur wird die maximale Eingangsfrequenz auf  $f_{OSZ}/96$  reduziert.
- ① Die maximale Eingangsfrequenz wird ebenfalls durch die Konfiguration des analogen Eingangsfilters begrenzt. Siehe dazu Abschnitt 7.1.

## 7.5 Sensorüberwachung

Im GC-IP201(B) gibt es neun Möglichkeiten, die Qualität der Sensorsignale zu überwachen und Fehler an den analogen Eingangssignalen zu erkennen. Jede Überwachungsquelle kann mit zugehörigen Bits im Register `CFG1` aktiviert, deaktiviert oder mit Speicherverhalten konfiguriert werden. Sind die entsprechenden Überwachungsflags freigegeben, werden die erkannten oder gespeicherten Fehlersignale an `NERR` ausgegeben. Über die seriellen Schnittstellen (SPI,SSI,BiSS) können die einzelnen Überwachungsflags sowie zusammengefasste Fehler- / Warnungsinformationen ausgelesen werden. Im Fehlerfall ist das Verhalten der Ausgänge `A`, `B` und `Z` im Allgemeinen undefiniert. Ist das Bit `HLD` im Register `CFG1` jedoch gesetzt, ändern sich die Ausgänge im Fehlerfall nicht. Falls das Bit `TRI` im Register `CFG1` gesetzt ist, so werden die Ausgänge `A`, `B` und `Z` im Fehlerfall hochohmig. Eine nachfolgende Auswerteelektronik kann diesen Zustand als Fehlerzustand erkennen.

① *Wurde das Fehlersignal `NERR` aktiviert oder eines der Überwachungsflags im Ergebnisregister gesetzt, so sind das aktuelle Messergebnis und alle nachfolgenden Ergebnisse zu verwerfen. Nach Beseitigung der Fehlerursache und dem Rücksetzen der Fehlerbits mittels SPI/BiSS-Befehl `RESCNT` oder mittels `ZERO`-Signal ist für Absolutwertmessungen ein erneutes Überfahren des Referenzpunktes notwendig!*

Tabelle 16: Überblick Sensorüberwachung

NAME	Bedeutung	SPI	ABZ / SSI	BiSS
EVLOW	Der aus Cosinus- und Sinussignal gebildete Signalvektor ist zu klein.	Statusbit	Fehler	Fehler
EADC	Ein oder beide AD-Wandler sind übersteuert.	Statusbit	Fehler	Fehler
EOFFS	Der Offsetregler hat einen Grenzwert erreicht.	Statusbit	Fehler	Warnung
EGAIN	Der Amplitudenregler hat einen Grenzwert erreicht.	Statusbit	Fehler	Warnung
EFAST	Die Eingangsfrequenz ist zu hoch.	Statusbit	Fehler	Fehler
EABZ	Die Signale <code>A</code> , <code>B</code> und <code>Z</code> sind ungültig.	Statusbit	Fehler	-

Die empfohlene Konfiguration der Sensorüberwachung ist abhängig von den verwendeten Schnittstellen. Die Konfiguration erfolgt durch den Anwender mittels der dafür vorgesehenen Bits im Register `CFG1`. Grundsätzlich wird empfohlen, alle Überwachungsquellen zu aktivieren. Für einen Betrieb des IC ohne Verwendung der Ausgänge `A`, `B` und `Z` kann die Überwachung der maximalen ABZ-Frequenz (Bit `MABZ`) deaktiviert werden. Siehe dazu auch Abschnitt 7.4.

Tabelle 17: Empfohlene Konfiguration Sensorüberwachung

	ABZ-Interface	SPI-Interface	SSI-Interface	BiSS-Interface
Aktivierte Überwachungsbits	EVLOW EADC EOFFS EGAIN EFAST EABZ	EVLOW EADC EOFFS EGAIN EFAST	EVLOW EADC EOFFS EGAIN EFAST	EVLOW EADC EOFFS EGAIN EFAST
Auswertung der Überwachungsbits	Als Gesamtfehler im Fehlersignal <code>NERR</code>	Statusregister Positionsregister Fehlersignal <code>NERR</code>	Als Gesamtfehler im Datenstrom	Als 2 Bit Gesamtfehler und -warnung im Datenstrom
Speicherung der Überwachungsbits	Deaktivieren	Aktivieren	Aktivieren	Aktivieren
Löschen des Fehlerspeichers	-	Kommando <code>RESCNT</code> <code>ZERO</code> -Signal	<code>ZERO</code> -Signal	Kommando <code>RESCNT</code> <code>ZERO</code> -Signal
ABZ-Verhalten im Fehlerfall	Hold und/oder Tristate	beliebig	beliebig	beliebig
Register <code>CFG1</code> (31:16)	0x007F	0x3777	0x3777	0x3777

### 7.5.1 Fehlerquellen

Nachfolgend sind die einzelnen überwachten Sensorsignaleigenschaften näher beschrieben. Für jede Überwachungsquelle sind die korrespondierenden Bits in den Registern `CFG1` und `STAT` aufgeführt.

### Vektorfehler

Der aus Cosinus- und Sinussignal gebildete Signalvektor ist kleiner als ca. 30% der Nominalamplitude. Ursache ist meist ein teilweiser oder vollständiger Sensorabriss. Eine weitere Fehlerursache sind Eingangssignale mit sehr großem Offset bei gleichzeitig kleiner Amplitude.

Aktivierung Fehlererkennung	Aktivierung Fehlerspeicher	STAT-Register	BiSS-SCD	SSI-DATA
Bit MVLOW	Bit LVLOW	Bit EVLOW	Bit1 – Error (L-aktiv)	Bit0 – Error (H-aktiv)

### ADC-Fehler

Ein oder beide AD-Wandler sind übersteuert. Ursache dafür ist eine zu große Signalamplitude. Eine weitere Fehlerursache sind Eingangssignale mit sehr großem Offset bei gleichzeitig großer Amplitude. Sind an den Sensoreingängen entsprechende Pull-Up und Pull-Down Widerstände vorhanden, können Sensorabrissfehler ebenfalls über dieses Fehlerbit erkannt werden.

Aktivierung Fehlererkennung	Aktivierung Fehlerspeicher	STAT-Register	BiSS-SCD	SSI-DATA
Bit MADC	Bit LADC	Bit ESADC (Sinus) Bit ECADC (Cosinus)	Bit0 – Error (L-aktiv)	Bit0 – Error (H-aktiv)

### Offsetfehler

Der Offsetregler hat seine Grenze erreicht. Ursache ist ein zu großer Signaloffset, ein teilweiser oder ein vollständiger Sensorabriss oder ein ungültiger Wert zur Initialisierung des Offsetreglers.

Aktivierung Fehlererkennung	Aktivierung Fehlerspeicher	STAT-Register	BiSS-SCD	SSI-DATA
Bit MOFF	Bit LOFF	Bit ESOFF (Sinus) Bit ECOFF (Cosinus)	Bit1 – Warnung (L-aktiv)	Bit0 – Error (H-aktiv)

### Verstärkungsfehler

Der Verstärkungsregler hat seine Grenze erreicht. Ursache ist eine zu kleine Signalamplitude, ein teilweiser oder ein vollständiger Sensorabriss.

Aktivierung Fehlererkennung	Aktivierung Fehlerspeicher	STAT-Register	BiSS-SCD	SSI-DATA
Bit MGAIN	Bit LGAIN	Bit ESGAIN (Sinus) Bit ECGAIN (Cosinus)	Bit1 – Warnung (L-aktiv)	Bit0 – Error (H-aktiv)

### Geschwindigkeitsfehler

Die Eingangsfrequenz ist so hoch, dass die A/B-Signale nicht gebildet werden können oder keine Richtungserkennung mehr möglich ist. Die überwachte Frequenz unterscheidet sich bei Betrieb mit internem Zähler bzw. bei Verwendung der Rechteckausgänge A/B/Z. Siehe dazu Abschnitt 7.4.

Aktivierung Fehlererkennung	Aktivierung Fehlerspeicher	STAT-Register	BiSS-SCD	SSI-DATA
Bit MFAST	Bit LFAST	Bit EFAST	Bit0 – Error (L-aktiv)	Bit0 – Error (H-aktiv)

### ABZ-Fehler

Die Signale A, B und Z sind ungültig. Ursache dafür ist eine zu hohe Eingangsfrequenz. Die überwachte Frequenz ist abhängig vom eingestellten minimalen Flankenabstand  $t_{pp}$ . Dieses Fehlerbit wird auch gesetzt, wenn die Interpolationsrate oder der minimale Flankenabstand  $t_{pp}$  geändert werden. Zum Betrieb des GC-IP201(B) ausschließlich unter Verwendung des internen Zählers kann die Erkennung dieses Fehlers deaktiviert werden ( $M_{ABZ} = 0$ ).

Aktivierung Fehlererkennung	Aktivierung Fehlerspeicher	STAT-Register	BiSS-SCD	SSI-DATA
Bit MABZ	Bit LABZ	Bit EABZ	-	Bit0 – Error (H-aktiv)

## 7.6 Ausgänge ABZ

Die Bedeutung der Signale an den Ausgängen A, B und Z ist mittels der Bits `MODE(2:0)` im Register `CFG1` änderbar. Standardmäßig werden die üblichen um 90° verschobenen Rechteckfolgen erzeugt. Falls der interne Zähler des IC verwendet wird, kann der Modus „Controller/DSP“ aktiviert werden. Damit ist es möglich, äquidistante Messungen durchzuführen, zusätzliche Komponenten mit dem IC zu synchronisieren oder Messwerte interruptgesteuert an einen Controller-IC zu übertragen. In drei weiteren Modi werden Testsignale zum Abgleich des Sensors an den Ausgängen A, B und Z bereitgestellt.

Tabelle 18: ABZ-Modi (Register `CFG1`)

Modus	Verwendung	Mode(2:0)	Ausgang A	Ausgang B	Ausgang Z
Standard	Standard-ABZ	000	Rechteckfolge A	Rechteckfolge B	Indexsignal Z
Sensorabgleich 1	Sensorabgleich	001	Testsignal IR4C	Testsignal IR4S	Referenzkomparator REFCOMP
Sensorabgleich 2	Sensorabgleich	010	Testsignal IR8C	Testsignal IR16C	Regelabweichung NDEV
Sensorabgleich Z	Abgleich Referenzposition	011	Referenz (synchron) REF_SYNC	Zähler-Indexpunkt ZCNT	Indexsignal Z
MC/DSP	Zähler an Mikrocontroller	100	Timer- /Trigger-Interrupt nINT	Synchronsignal StartSample	Zähler-Indexpunkt ZCNT

### 7.6.1 Standard ABZ

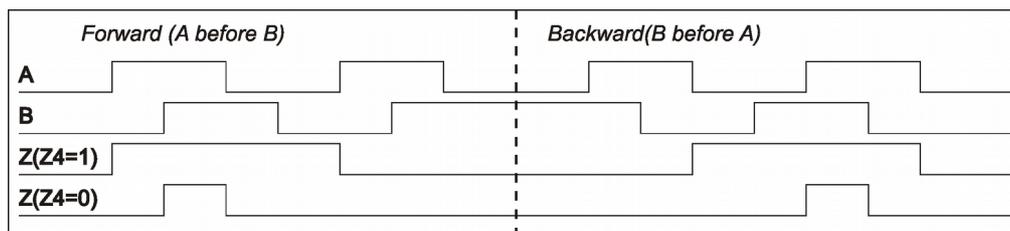


Abbildung 9: ABZ-Signale

### 7.6.2 Controller / DSP

Falls die Messwerte des GC-IP201(B) ausschließlich über eine serielle Schnittstelle (SPI/BiSS/SSI) übertragen werden, so stehen an den Ausgängen A, B und Z zusätzliche Signale bereit. Der Ausgang `NERR` behält seine Bedeutung. Er ist als Open-Drain Pin ausgeführt, so dass die Fehlersignale mehrerer IC verbunden werden können.

Tabelle 19: DSP-Modus

Pin	Signal	Bedeutung
A	nINT	Interrupt; L-aktiv; Ein aktives Signal zeigt an, dass mindestens eines der Triggerhalterregister belegt ist. Ein Lese-Zugriff auf das Register <code>MVAL</code> liefert den „ältesten“ in den Registern gespeicherten Messwert. Der Interrupt kann durch den Timer, das Referenzsignal oder ein Signal am Eingang <code>TRG</code> ausgelöst werden. Siehe dazu Abschnitt 7.7.
B	StartSample	Synchronsignal; Dieses Signal liefert den Abtastzeitpunkt der integrierten ADC. Es kann zur Synchronisation weiterer Systeme verwendet werden.
Z	ZCNT	Zähler-Indexpunkt; Dieses Signal zeigt an, dass der interne Zähler des GC-IP201(B) am Referenzpunkt rückgesetzt wird.

### 7.6.3 Abgleich Referenzposition

Der Phasenwinkel zur Erkennung des Referenzsignals kann mittels der Konfigurationsbits CFG3/ZPOS (4:0) sensorspezifisch verschoben werden. (siehe Abbildung 12). Dazu ist es möglich, spezielle Hilfssignale an A, B und Z zu messen. Zusätzlich kann der Messwerttrigger zum Abgleich der Referenzposition eingesetzt werden. Dazu sind die Konfigurationsbits CFG3/ZMODE (1:0) mit dem Wert „01“ zu initialisieren. Durch Auslesen des MVAL-Registers können die Werte TRGVAL1 und TRGVAL2 (siehe Abbildung 23) exakt bestimmt werden. Mit Bezug zur Interpolationsrate ergeben sich damit die Referenzsignalbreite, sowie die Lage des verarbeiteten Indexsignals zum analogen Referenzsignal und zum Sinussignal des Sensors:

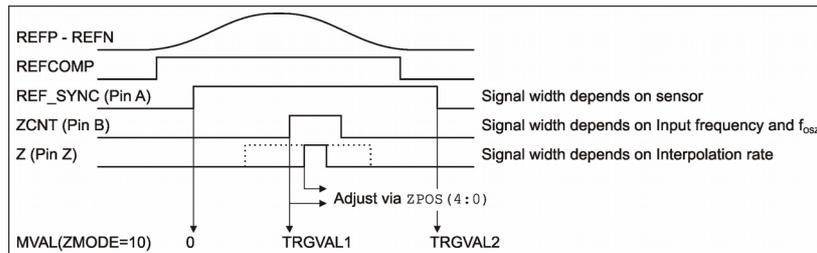


Abbildung 10: Abgleich Referenzsignal

- Referenzsignalbreite:  $Zwidth = TRGVAL2 / IRATE \cdot 360^\circ$
- Referenzsignallage:  $Zstart = \text{Einstellwert } ZPOS \cdot 11.25^\circ - TRGVAL1 / IRATE \cdot 360^\circ$
- Abgleichziel:  $TRGVAL1 = TRGVAL2 / 2$
- Neuer Einstellwert:  $ZPOS\_neu = (Zstart + Zwidth / 2) / 11.25^\circ$

Die Software zur Auswertung von TRGVAL1 und TRGVAL2 sollte erkennen können, dass ggf. kein Indexsignal am Ausgang (Z) auftritt oder dass bei doppelten Indexsignalen die Werte von TRGVAL1 oder TRGVAL2 unplausibel sind oder zwischen verschiedenen Werten wechseln. Es wird empfohlen, den Referenzpunktgleich mit einer im Vergleich zur Oszillatorfrequenz kleinen Signalfrequenz durchzuführen.

### 7.6.4 Sensorabgleich

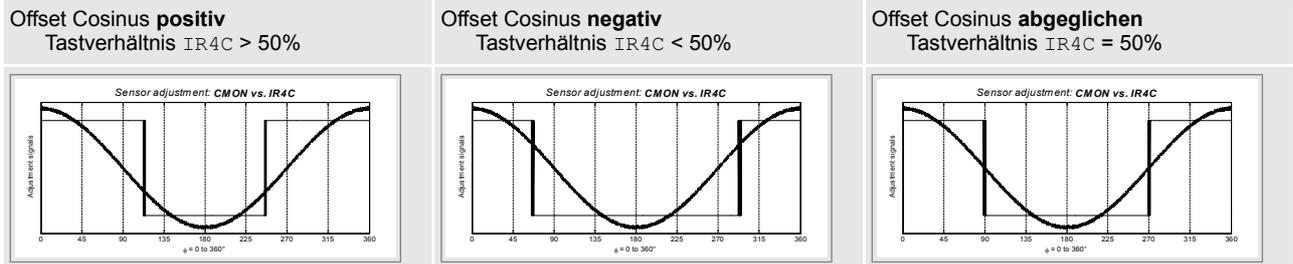
Der IC GC-IP201(B) führt einen automatischen Abgleich von Offset und Amplitude beider Gebersignale durch. Um den vollen Regelbereich für dynamische Fehler zu nutzen, ist es sinnvoll, statische Fehler des Sensors bereits vorher abzugleichen. Dazu stehen in den Modi „Sensorabgleich 1“ und „Sensorabgleich 2“ an den Ausgängen A,B, und Z Hilfssignale zum Feinabgleich des Sensors zur Verfügung. Die Ausgangssignale der Instrumentationsverstärker sind an den Ausgängen SMON und CMON messbar. Eine Beschreibung des Abgleichvorganges gibt Tabelle 20. Typische Signalverläufe werden in den nachfolgenden Abbildungen gezeigt.

Tabelle 20: Sensorabgleich

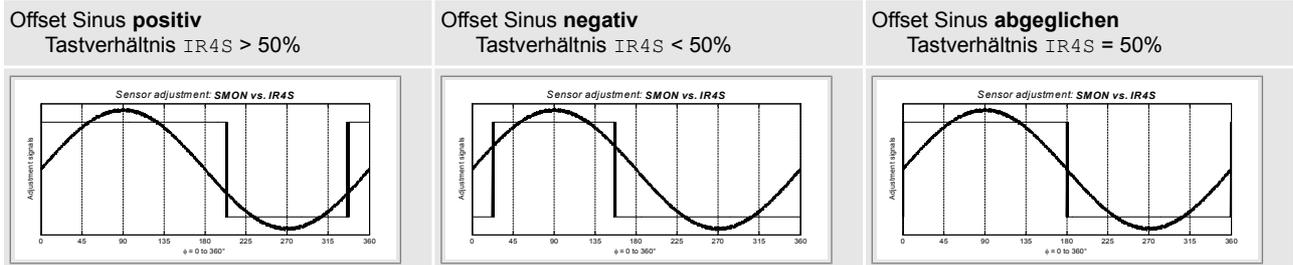
Nr.	Abgleich	Einstellung Register CFG1 / CFG2	Vorschrift
1	Amplitude Sinus/Cosinus	Verstärkungsfaktor einstellen	Bewegung des Sensors, Messung an den Pins SMON und CMON Abgleich bis beide Amplituden ca. 1.27V <sub>pp</sub> aufweisen.
2	Referenz	Modus: „Sensorabgleich 1“	Messung des Signals REFCOMP; Abgleich bis Signalbreite etwa einer Periode der Sinussignale entspricht
3	Offset Cosinus	Modus: „Sensorabgleich 1“ Regler deaktivieren (Bit DISCTRL = 1). Korrekturwerte in der Mitte des Einstellbereiches	Bewegung des Sensors, Messung an CMON und Signal IR4C Abgleich bis Tastverhältnis an IR4C 50% der Periode an CMON beträgt.
4	Offset Sinus	Modus: „Sensorabgleich 1“ Regler deaktivieren (Bit DISCTRL = 1). Korrekturwerte in der Mitte des Einstellbereiches	Bewegung des Sensors, Messung an SMON und Signal IR4S Abgleich bis Tastverhältnis an IR4S 50% der Periode an SMON beträgt.
5	Phase (grob)	Modus: „Sensorabgleich 2“ Regler aktivieren (Bit DISCTRL = 0).	Bewegung des Sensors, Messung an CMON und Signal IR16C, Grobgleich der Phase, bis alle Flanken an IR16C gleichmäßig innerhalb der Sinusperiode verteilt sind
5	Phase (fein)	Modus: „Sensorabgleich 2“ Regler aktivieren (Bit DISCTRL = 0).	Bewegung des Sensors, Messung an CMON und Signal NDEV, Abgleich der Phase, bis Frequenz an NDEV nicht mit Frequenz des Sinussignals korreliert.
6	Amplitudengleichheit	Modus: „Sensorabgleich 2“ Regler deaktivieren (Bit DISCTRL = 1). Korrekturwerte in der Mitte des Einstellbereiches	Bewegung des Sensors, Messung an CMON und Signal IR8C, Abgleich der Signalamplituden bis alle Flanken an IR8C gleichmäßig innerhalb der Sinusperiode verteilt sind

Tabelle 21: Sensorabgleich

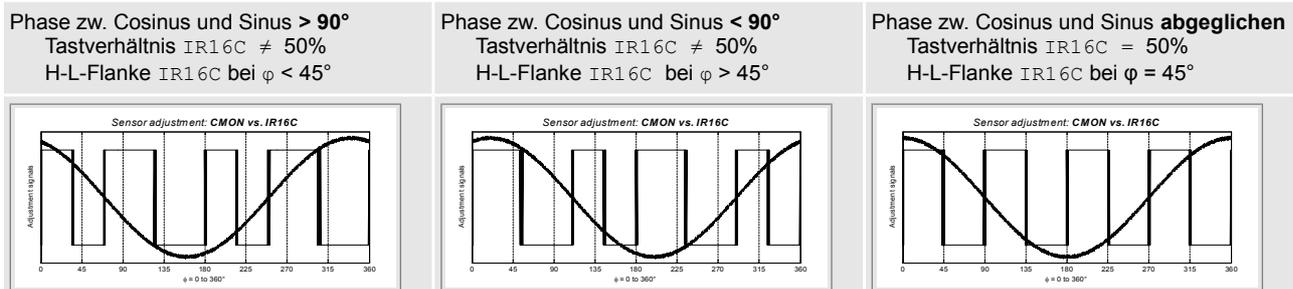
**Abgleich Offset Cosinus – Signale CMON und IR4C (Ausgang A)**  
**Mode '001' (Sensorabgleich 1), Regler inaktiv / Korrekturwerte: Mittenwert des Korrekturbereiches**



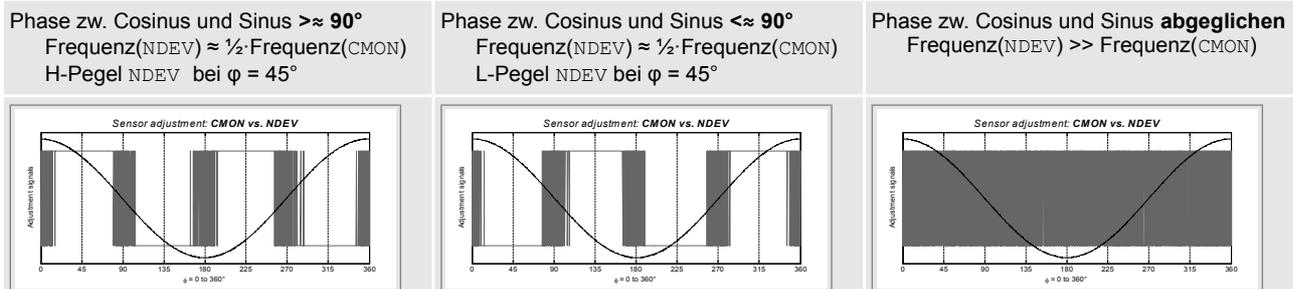
**Abgleich Offset Sinus – Signale SMON und IR4S (Ausgang B)**  
**Mode '001' (Sensorabgleich 1), Regler inaktiv / Korrekturwerte: Mittenwert des Korrekturbereiches**



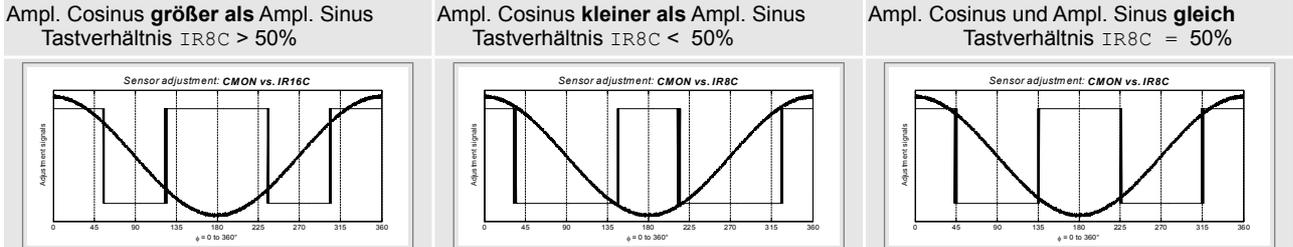
**Abgleich Phase (grob) – Signale CMON und IR16C (Ausgang B)**  
**Mode '010' (Sensorabgleich 2), Regler aktiv**



**Abgleich Phase (fein) – Signale CMON und NDEV (Ausgang Z)**  
**Mode '010' (Sensorabgleich 2), Regler aktiv**



**Abgleich Amplitudengleichheit – Signale CMON und IRC8 (Ausgang A)**  
**Mode '010' (Sensorabgleich 2), Regler inaktiv / Korrekturwerte: Mittenwert des Korrekturbereiches**



## 7.7 Messwerttrigger

Im IC GC-IP201(B) sind zwei Triggerhaltereregister implementiert. In diese Register kann der aktuelle Zählwert hardwaregesteuert übertragen werden. Bei Lesezugriffen auf das Register *MVAL* wird dann jeweils der „älteste“ Wert aus den Triggerhaltereregistern bereitgestellt. Ist kein Wert gespeichert, erscheint der aktuelle Zählerstand. Nach dem Auslesen eines Triggerhaltereregisters wird dieses freigegeben. Im Statusregister *STAT* ist die Triggerquelle des **nächsten** zu lesenden Wertes gespeichert. Darüber hinaus wird im Bit *TRGOVL* angezeigt, ob ein Triggerereignis verloren ging, da zum Zeitpunkt des Triggerereignisses beide Haltereister belegt waren. Im Bit *TRG* des Registers *MVAL* kann man ebenfalls erkennen, ob der gelesene Wert durch ein Hardwareereignis bereitgestellt wurde. Das Signal *nINT* an Ausgang *A* zeigt durch L-Pegel an, ob eines der Triggerhaltereregister belegt ist. Siehe dazu auch Abschnitt 7.6.2. Der Programmablauf zur Auswertung der Register *MVAL* und *STAT* per Software ist in Abschnitt 11.3 gezeigt.

Tabelle 22: Triggermodus / Referenzpunktmodi

Triggerquelle	Verwendung
TRG-Eingang	Triggerung bei Ereignissen von externen Komponenten (z.B. Messtaster) Triggerung durch einen Mikrocontroller zur äquidistanten Messung
Timer	Triggerung zur äquidistanten Messung
Referenz CFG3/ZMODE=„01“	Triggerung durch das Referenz/Index-Signal zur Auswertung in Software
Referenz CFG3/ZMODE=„10“	Triggerung durch das Referenz/Index-Signal zum Abgleich der Referenzpunktposition durch Software.
Referenz CFG3/ZMODE=„11“	Triggerung durch das Referenz/Index-Signal zur Auswertung abstandskodierte Referenzmarken

### TRG-Eingang

Mit einer Signalfanke am Eingang *TRG* wird der aktuelle Zählwert in eines der zwei Triggerhaltereregister übernommen. Die aktive Triggerflanke wird mit *CFG1/TRGSLP* eingestellt.

### Timer

Nach Ablauf des internen Timers wird der aktuelle Zählwert in eines der zwei Triggerhaltereregister übernommen. Die Zeitkonstante des Timers wird mit den Bits *CFG2/VT(1:0)* und *CFG2/T(7:0)* zwischen  $2^6/f_{OSZ}$  und  $2^{24}/f_{OSZ}$  eingestellt.

### Referenztrigger

Jedes Auftreten eines Indeximpulses führt zur Übernahme des aktuellen Zählwertes in eines der zwei Triggerhaltereregister.

### Abgleich Referenzposition

Die steigende Flanke am analogen Referenzsignal setzt den internen Zähler zurück. Die Erkennung des Indexpunktes durch den IC am eingestellten Phasenwinkel triggert die Übernahme des Zählwertes in das erste Triggerhaltereregister. Die fallende Flanke am analogen Referenzsignal triggert die Übernahme des Zählwertes in das zweite Triggerhaltereregister. Nach diesen beiden Triggerereignissen wird das Bit *ZSTAT* gesetzt und die Triggerverarbeitung bleibt bis zur Freigabe durch eines der SPI/BiSS-Kommandos *RESCNT* oder *CLRZ* gesperrt. Siehe dazu auch Abbildung 10 und Abschnitt 7.6.3.

### Auswertung abstandskodierter Referenzmarken

Ein erster Indexpunkt setzt den internen Zähler zurück. Ein zweiter Indexpunkt triggert die Übernahme des Zählwertes in ein Triggerhaltereregister. Nach diesen beiden Ereignissen wird das Bit *ZSTAT* gesetzt und die Triggerverarbeitung bleibt bis zur Freigabe durch eines der SPI/BiSS-Kommandos *RESCNT* oder *CLRZ* gesperrt. Die beiden Indexpunkte müssen mindestens um zwei Perioden der Eingangssignale voneinander abweichen. Der Berechnung der Absolutposition des Sensors aus allen weiterhin gelesenen Zählwerten erfolgt durch die Auswertesoftware. Siehe dazu auch Abschnitt 11.5.

## 7.8 Messwertregister POSIT, CNT, MVAL und STAT

Die interpolierten Zählwerte, die per Trigger gehaltenen Zählwerte, die Positionswerte sowie die Sensorüberwachungsinformationen sind über die seriellen Schnittstellen aus verschiedenen Registern lesbar. Folgende Tabelle zeigt eine Übersicht, welche Register für verschiedene Anwendungen und Schnittstellen verwendet werden können. Für die Schnittstelle BiSS wird dabei zwischen Registerdaten (langsame Kommunikation) und Single-Cycle-Data (SCD; schnelle Kommunikation) unterschieden. Programmabläufe dazu sind in Abschnitt 11.3 beschrieben.

Tabelle 23: Positionsregister

	SPI	SSI	BiSS (nur IP201B)
Register CNT	Interpolationszähler 30 Bit Indexpunktstatus 1 Bit Fehlerstatus 1 Bit	-	Interpolationszähler 30 Bit Indexpunktstatus 1 Bit Fehlerstatus 1 Bit
Register MVAL	Interpolationszähler 30 Bit Triggerwert 30 Bit Fehlerstatus 1 Bit Triggerstatus 1 Bit	-	Interpolationszähler 30 Bit Triggerwert 30 Bit Fehlerstatus 1 Bit Triggerstatus 1 Bit
Register POSIT	Interpolationszähler 8-30Bit Multiturnzähler 0-16Bit Fehlerstatus 2 Bit	-	SCD verwenden
Register STAT	Fehlerstatus 9 Bit Triggerstatus 4 Bit Indexpunktstatus 1 Bit	-	Fehlerstatus 9 Bit Triggerstatus 4 Bit Indexpunktstatus 1 Bit
SCD (BiSS) / SSI-Daten	-	Interpolationszähler 8-24 Bit Multiturnzähler 0-16 Bit Fehlerstatus 1 Bit	Interpolationszähler 8-30 Bit Multiturnzähler 0-16 Bit Fehlerstatus 2 Bit

Das Datenformat der Positionsdaten (Register POSIT) wird im Register CFGBISS mit den Bits STBIT, MTBIT und GRAY festgelegt. Mit den Bits MTBIT (1:0) wird die Auflösung des Multiturnzählers zwischen 0, 8, 12 und 16 gewählt. Die restlichen Bits des übertragenen POSIT Registers werden mit Bits des Singleturnzählers aufgefüllt. Die Konfigurationsbits STBIT(4:0) stellen ein, wie viele Bits (LSB) innerhalb des Singleturnzähler gültig sind. Ungültige MSB werden mit '0' aufgefüllt. Die Kodierung beider Zählwerte wird mittels des Bits GRAY zwischen Graycode und Binärcode umgeschaltet. Die Gesamtlänge der Daten ist abhängig von der ausgewählten Schnittstelle sowie vom Bit SSI13.

Tabelle 24: Register CFGBISS - Konfiguration Datenformat Positionsdaten

SSI13	MTBIT	Positionsdaten SSI	Positionsdaten BiSS (nur IP201B)	Positionsdaten SPI
0	00	24 Bit Singleturn / 8-24Bit Auflösung 1 Bit Fehler	32 Bit Singleturn / 8-30Bit Auflösung 1 Bit Fehler / 1 Bit Warnung	30 Bit Singleturn / 8-30Bit Auflösung 1 Bit Fehler / 1 Bit Warnung
0	01	8 Bit Multiturn 16 Bit Singleturn / 8-16Bit Auflösung 1 Bit Fehler	8 Bit Multiturn 24 Bit Singleturn / 8-24Bit Auflösung 1 Bit Fehler / 1 Bit Warnung	8 Bit Multiturn 22 Bit Singleturn / 8-22Bit Auflösung 1 Bit Fehler / 1 Bit Warnung
0	10	12 Bit Multiturn 12 Bit Singleturn / 8-12Bit Auflösung 1 Bit Fehler	12 Bit Multiturn 20 Bit Singleturn / 8-20Bit Auflösung 1 Bit Fehler / 1 Bit Warnung	12 Bit Multiturn 18 Bit Singleturn / 8-18Bit Auflösung 1 Bit Fehler / 1 Bit Warnung
0	11	16 Bit Multiturn 8 Bit Singleturn / 8Bit Auflösung 1 Bit Fehler	16 Bit Multiturn 16 Bit Singleturn / 8-16Bit Auflösung 1 Bit Fehler / 1 Bit Warnung	16 Bit Multiturn 14 Bit Singleturn / 8-14Bit Auflösung 1 Bit Fehler / 1 Bit Warnung
1	XX	12 Bit Singleturn / 8-12Bit Auflösung 1 Bit Fehler	32 Bit Singleturn / 8-30Bit Auflösung 1 Bit Fehler / 1 Bit Warnung	30 Bit Singleturn / 8-30Bit Auflösung 1 Bit Fehler / 1 Bit Warnung

① Bei Verwendung des Multiturnzählers an den Schnittstellen BiSS und SSI ist es sinnvoll, eine der Interpolationsraten 256, 128, 64 oder 32 einzustellen, da dann übergeordnete Schnittstellenmaster in der Regel nur mit binären Auflösungen arbeiten. Die Anzahl der genutzten Bit wird im Register CFGBISS mit STBIT (4:0) festgelegt.

## 7.9 Zähler-Preset / SPI-Kommandos / Steuersignale

Der Werte im integrierten Zähler und im integrierten Multiturnzähler können voreingestellt werden. Dazu enthält der GC-IP201(B) Register zum Halten der einzustellenden Werte. Damit ist eine anwendungsspezifische Nullposition unabhängig von Referenzmarken konfigurierbar. In Verbindung mit dem integrierten EEPROM kann diese Nullposition auch dauerhaft gespeichert werden. Zusätzlich dazu sind SPI-Kommandos und Signale zum Lesen und Speichern der Konfiguration sowie zur Beeinflussung von Regler und Zähler implementiert:

Tabelle 25: Kommandos / Steuersignale

Aktion	Zähler und Reg. PRE_ST	Multiturnzähler und Reg. PRE_MT	Regler	EEPROM
Referenzsignal (an REFP/REFN)	Zähler-Reset auf 0	Zähler: Inkrementieren oder Dekrementieren	-	-
Reset / SPI/BiSS-Befehl RESIC <sup>1)</sup>	PRESET Register werden aus EEPROM geladen, danach wird dieser Wert in die Zähler übernommen		Reglerwerte werden aus EEPROM geladen	Konfiguration wird aus dem EEPROM gelesen und in die Register geschrieben
Reset / SPI/BiSS-Befehl RESIC <sup>2)</sup>	Zähler-Reset auf 0; PRESET Register werden mit 0 initialisiert		Reset auf Mittenstellung	-
SPI/BiSS-Befehl RESCNT	PRESET Register werden in die Zähler übernommen		-	-
SPI/BiSS-Befehl RESCTL	-	-	Reset auf Mittenstellung	-
SPI/BiSS-Befehl WCFG	PRESET Register werden in den EEPROM übertragen; Die Zähler werden nicht beeinflusst		Reglerwerte werden in EEPROM übertragen	Konfiguration wird aus den Registern gelesen und in den EEPROM geschrieben
Fallende Flanke am Zero-Signal <sup>1)</sup>	PRESET Register werden in die Zähler übernommen		-	-
Fallende Flanke am TEACH Signal <sup>1)</sup> wenn Bit CFG1/TEAEN = 1	Zählwerte werden in die PRESET Register übernommen, danach werden die PRESET Register in den EEPROM übertragen		Reglerwerte werden in EEPROM übertragen	Konfiguration wird aus den Registern gelesen und in den EEPROM geschrieben

<sup>1)</sup> falls EEPROM aktiv, siehe Abschnitt 6.1

<sup>2)</sup> falls EEPROM nicht aktiv, siehe Abschnitt 6.1

Laut Tabelle 25 können die Zähler auch direkt durch SPI/BiSS manipuliert werden, in dem als erstes die Register PRE\_ST oder PRE\_MT geschrieben werden und danach die geschriebenen Registerinhalte mit dem Kommando RESCNT in die Zähler übertragen werden.

Die Steuersignale TEACH und ZERO werden im IC entprellt. Die jeweilige Funktion wird an der fallenden Flanke des Signals ausgelöst, danach werden für die Zeit von  $t_{\text{debounce}}$  keine Signaländerungen beachtet. Für eine Taktfrequenz  $f_{\text{OSZ}}$  von 40 MHz beträgt diese Zeit  $t_{\text{debounce}}$  ca. 2.5 ms. Das TEACH Signal muss mittels des Konfigurationsbits CFG1/TEAEN aktiviert werden.

Da Zähler, Regler und EEPROM von mehreren Quellen beeinflusst werden, gelten folgende Hinweise:

- ZERO und TEACH sind nicht verfügbar, wenn die Konfiguration über Pins aktiv ist (CFGPIN = 1)
- Das TEACH Signal wird unterdrückt, falls ein EEPROM-Zugriff aktiv ist
- Das ZERO-Signal wird unterdrückt, falls ein EEPROM-Zugriff aktiv ist
- Der Befehl RESCNT wird unterdrückt, falls ein EEPROM-Zugriff aktiv ist
- Der Befehl WCFG wird unterdrückt, falls ein EEPROM-Zugriff aktiv ist
- Falls das ZERO-Signal aktiv ist, während per SPI/BiSS das PRE\_ST- oder PRE\_MT-Register geschrieben wird, können fehlerhafte Werte in die Zähler übertragen werden
- Für die Verwendung des Befehls WCFG und des TEACH Signals ist die Anzahl der maximalen Schreibzyklen des EEPROM zu beachten.

### 7.10 Signallaufzeit

Die analoge Laufzeit des Eingangssignals durch den Instrumentationsverstärker des GC-IP201(B) wird durch die gewählte Verstärkung und durch die eingestellte Grenzfrequenz des Rauschfilters bestimmt. Folgende Tabelle gibt Richtwerte für ausgewählte Konfigurationen an.

Tabelle 26: Laufzeit analog ( $t_{dANA}$ )

Konfiguration	Min	Typ.	Max
CFG2/DISLP = 1; CFG1/GAIN = 00	70 ns	90 ns	110 ns
CFG2/DISLP = 1; CFG1/GAIN = 11	70 ns	125 ns	180 ns
CFG2/LP(1:0) = 00 (450 kHz)	220 ns	260 ns	350 ns
CFG2/LP(1:0) = 01 (200 kHz)	450 ns	500 ns	580 ns
CFG2/LP(1:0) = 10 (75 kHz)	1.1 $\mu$ s	1.2 $\mu$ s	1.3 $\mu$ s
CFG2/LP(1:0) = 11 (10 kHz)	7.2 $\mu$ s	7.4 $\mu$ s	7.6 $\mu$ s

Die Verzögerungszeit zwischen Abtastzeitpunkt und Messergebnis in den Registern `MVAL`, `POSIT` oder `CNT` beträgt 90 Systemtakte. Bei Verwendung eines Zählers an den Ausgängen `A`, `B` und `Z` addieren sich weitere 32 Systemtakte.

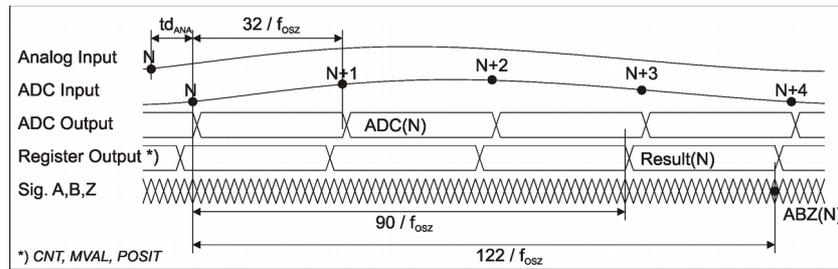


Abbildung 11: Signallaufzeit

① Es ist zu beachten, dass die **konstante** Verzögerungszeit des IC dazu führt, dass sich eine frequenzabhängige Phasenverschiebung zwischen den analogen Eingangssignalen und den Ausgangssignalen von  $\varphi = 2\pi \cdot f \cdot t_d$  ergibt. In den folgenden Abbildungen ist dieses Verhalten am Beispiel des Ausgangssignals `Z` für zwei verschiedene Eingangsfrequenzen dargestellt. Die Rechtecksignale `A` und `B` verhalten sich äquivalent.

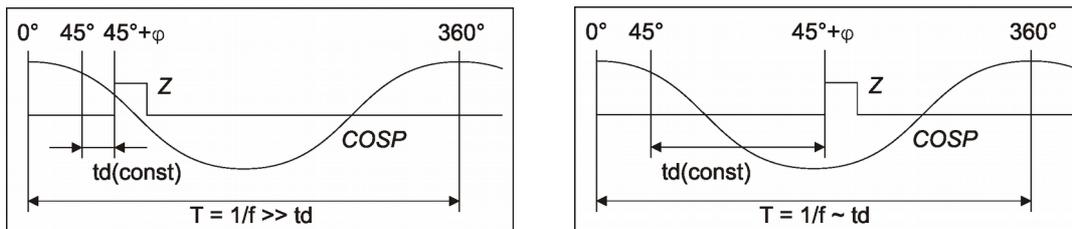


Abbildung 12: Konstante Verzögerungszeit

# 8 Digitale Schnittstellen

## 8.1 Serielle Schnittstelle SPI

Die serielle Schnittstelle SPI wird aktiviert, wenn während des Rücksetzens des IC der Eingang SEN auf H-Pegel gehalten wird. Der GC-IP201(B) arbeitet im Slave-Modus, d.h. er kann von selbst keine Kommunikation starten. Es ist möglich, bis zu 16 IC an einem einzigen Schnittstellenbus zu betreiben. Die Schnittstelle ist kompatibel zu den wichtigsten Mikrocontroller-Familien im SPI-Modus 0 (16 Bit Daten, MSB first, SCK-Default Low, Sampling mit steigender Taktflanke). Die Schnittstelle ist nicht kompatibel zu der des GC-IP1000B oder GC-IP200.

### 8.1.1 Signale

Tabelle 27: SPI-Signale

Signal	Bedeutung	Richtung
SCK	Takt Mit steigender Flanke an SCK werden die Daten an MOSI vom IC übernommen Mit fallender Flanke an SCK werden die Daten an MISO vom IC geändert Die Maximale Taktfrequenz ist abhängig vom Konfigurationsbit CFG3/SPI SLOW	IN
SEN	Freigabe Low: Schnittstelle ist freigegeben High: Schnittstelle ist gesperrt, MISO wird hochohmig oder nWAIT Steigende Flanke: Befehl wird ausgeführt	IN
MOSI	Master-OUT / Slave-IN Dateneingang	IN
MISO/nWAIT	Master-IN / Slave-OUT Datenausgang und Statussignal Achtung! Am Pin wird ein Pull-Up Widerstand benötigt!	OUT (Tristate-fähig)

Während des Resetvorganges des IC und in der Wartezeit eines synchronen SPI-Lesebefehls wird die MISO-Leitung auf L-Pegel gehalten (Bedeutung nWAIT).

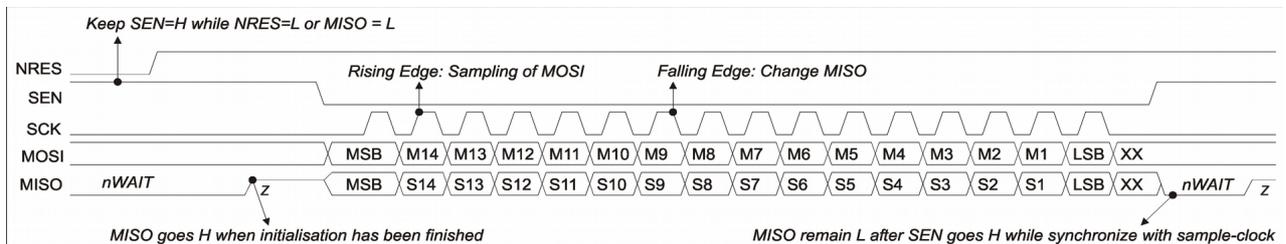


Abbildung 13: SPI-Übertragung (1)

### 8.1.2 Protokoll

Tabelle 28: SPI-Protokoll

OP-Code	Beschreibung	Bit am Signal MOSI															
		15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
		OPC				HWA				DATA							
WRA	Schreibe Adresse	1	0	0	nB	H3	H2	H1	H0	A7	A6	A5	A4	A3	A2	A1	A0
WRD	Schreibe Daten	1	0	1	nB	H3	H2	H1	H0	D7	D6	D5	D4	D3	D2	D1	D0
RD0/ST	Lese Bytes 0+1 (2 LSB)	1	1	0	X	H3	H2	H1	H0	A7	A6	A5	A4	A3	A2	0	0
RD1	Lese Bytes 2+3 (2 MSB)	1	1	1	X	X	X	X	X	X	X	X	X	X	X	X	X
NOP	Ausgabe des Leseregisters	0	X	X	X	X	X	X	X	X	X	X	X	X	X	X	X

H(3:0): Hardware-Adresse, Default: '0000', Wird nicht ausgewertet, wenn nB = 0

A(7:0): Register-Adresse innerhalb eines IC

D(7:0): Datenwort / Schreibdaten (Lesedaten erscheinen an MISO)

nB: Broadcast (L-aktiv)

0: Befehl an alle IC

1: Befehl an den durch H(3:0) adressierten IC

**Default-OP-Codes**

WRA = 0x8000+Adresse

WRD = 0xA000+Daten

RD0 = 0xC000+Adresse

RD1 = 0xE000

NOP = 0x0000

Jeder Datentransfer wird durch das Senden eines SPI-Wortes durch den Host-Prozessor eingeleitet. Ein SPI-Wort besteht aus 4 Bit OP-Code, 4 Bit Hardware-Adresse und bis zu 8 Bit Daten. OP-Codes werden nur akzeptiert, wenn die gesendete Hardwareadresse mit der gespeicherten Hardwareadresse des GC-IP201(B) übereinstimmt. Nach einem Reset besitzt der IC die Hardwareadresse '0000'. Mit Hilfe des Kommandos `SETHWA` können die Pegel an `HWA<3:0>` als neue Hardwareadresse in den IC übernommen werden. OP-Codes zum Lesen eines Registers führen im **nächstfolgenden** SPI-Zugriff zur Datenausgabe an `MISO`, unabhängig von der Hardwareadresse im neuen SPI-Wort.

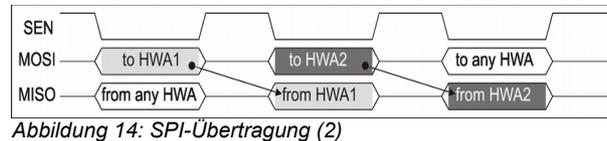


Abbildung 14: SPI-Übertragung (2)

### 8.1.3 Registerzugriff

Der Zugriff auf die Register im GC-IP201(B) erfolgt 8 Bit schreibend und 16 Bit lesend. Die Register des IC sind 32 Bit organisiert. Aus diesem Grund ist im IC für Lesezugriffe ein 32 Bit Haltereister implementiert. Zu lesende Daten werden mit dem SPI-Wort `RD0/ST` in dieses Haltereister übernommen. Die Datenausgabe der beiden niederwertigsten Byte an `MISO` geschieht während des **nächsten** SPI-Zyklus. Die Datenausgabe der beiden höherwertigsten Byte an `MISO` geschieht im SPI-Zyklus, welcher dem SPI-Wort `RD1` an `MOSI` nachfolgt. In der Regel werden zum Lesen eines 32-Bit-Registers die Befehle `RD0/ST`, `RD1` und `NOP` hintereinander ausgeführt. Zum Lesen mehrerer Register in Folge kann die Sequenz: `RD0 – RD1 – RD0 – RD1...` verwendet werden. Zum Schreiben eines Registers wird als erstes mit dem SPI-Wort `WRA` die Registeradresse eingestellt. Danach kann das Register mittels `WRD` beschrieben werden. Das Schreiben eines 32 Bit Registers geschieht byteweise.

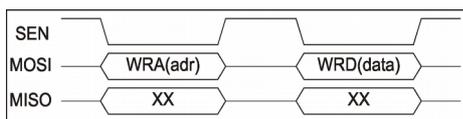
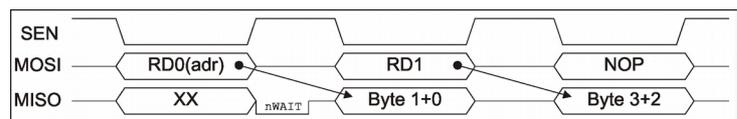


Abbildung 15: SPI Schreiben 8Bit



SPI Lesen 32 Bit



Abbildung 16: SPI Lesen 32 Bit

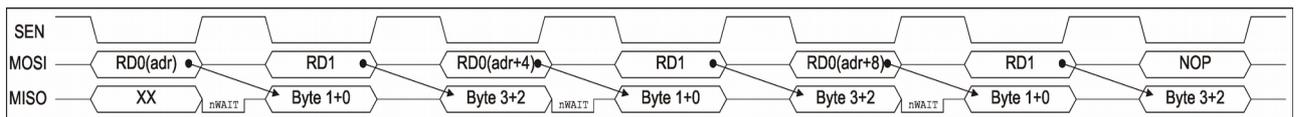


Abbildung 17: SPI Lesen 3 x 32 Bit

### 8.1.4 SPI - Synchron / Asynchron

Beim Lesen eines Registers geschieht die Datenübernahme der 32 Bit Registerdaten in das Haltereister synchron zum internen Ablauf des IC. Mit Hilfe des Wertes `SYNC` im Register `CFG2` kann der Zeitpunkt relativ zum Abtastzeitpunkt der ADC verschoben werden. Dadurch ist es möglich, äquidistante Messungen mit geringer Totzeit durchzuführen. Der Ausgang `MISO` ist während der Wartezeit zur Synchronisation Low. Falls das Bit `ASYNC` im Register `CFG2` gesetzt ist (Asynchronbetrieb), werden die Daten sofort nach steigender Flanke am Signal `SEN` gespeichert. Der zeitliche Bezug zur Abtastung der Analogsignale geht verloren. Dadurch werden allerdings höhere Übertragungsgeschwindigkeiten erreicht. Für das Lesen der Register `MVAL`, `CNT`, `POSIT`, `STAT`, `CTRLG`, `CTRLO` und `ADC` kann ein beliebiger Wert für `SYNC` eingestellt werden. Mit dem Defaultwert '00000' ergibt sich eine geringe Verzögerung zwischen berechnetem Zählwert und Datenausgabe an der SPI-Schnittstelle. Für das Lesen der Register `PHI`, `DPHI`, `BQ` und `CADC` muss ein Wert von '00100' verwendet werden.

### 8.1.5 SPI - Signalfilter

Mit dem Konfigurationsbit `CFG3/SPI SLOW` kann eine digitale Filterung der SPI-Eingangssignale `SEN`, `SCK` und `MOSI` aktiviert werden. Die maximale SPI-Taktfrequenz an `SCK` wird dabei begrenzt auf ca.  $f_{OSZ} / 4$ .

## 8.2 BiSS-Schnittstelle

Die BiSS-Schnittstelle im Modus BiSS-C des *GC-IP201B* wird aktiviert, wenn während des Rücksetzens des IC der Eingang *SEN* auf L-Pegel gehalten wird und das Bit *SSI* im Register *CFG3* rückgesetzt ist. Zu beachten ist hierbei, dass während der Initialisierungsphase des IC die Pegel an den Leitungen *HWA (3:0)* als die 4 LSB der BiSS-Seriennummer eingelesen werden. Damit ist der Betrieb mehrerer IC an einem Bus ohne zusätzlichen Programmieraufwand möglich. Zum Betrieb des *GC-IP201B* über BiSS-Schnittstelle **muss** der EEPROM eine gültige Konfiguration enthalten, da für den Betrieb grundlegende Parameter im EEPROM enthalten sind. Die Bits *BISSTO*, *CLK10* und *READ32* im Register *CFGBISS* werden zum Betrieb der Schnittstelle anhand der Systemparameter durch den Anwender im EEPROM initialisiert.

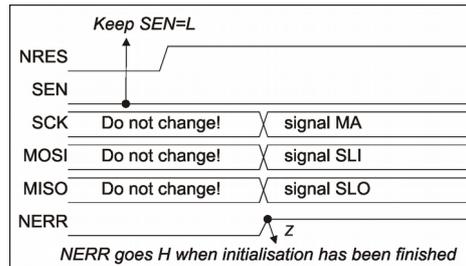


Abbildung 18: Initialisierung BiSS-Hardware

In den Single-Cycle-Daten des BiSS-Protokolls wird das Register *POSIT* (siehe Abschnitt 7.8) mit einer Datenlänge von insgesamt 40 Bit übertragen. Darin enthalten sind der Wert des Interpolationszählers (=Singleturn-Zähler) und des Multiturnzählers sowie zwei Bit Fehlerinformation (Error/Warning) und die CRC-Checksumme (6 Bit, invertiert). Bei Verwendung des Multiturnzählers ist es sinnvoll, eine der Interpolationsraten 256, 128, 64 oder 32 einzustellen, da der übergeordnete Schnittstellenmaster in der Regel nur mit binären Auflösungen arbeitet.

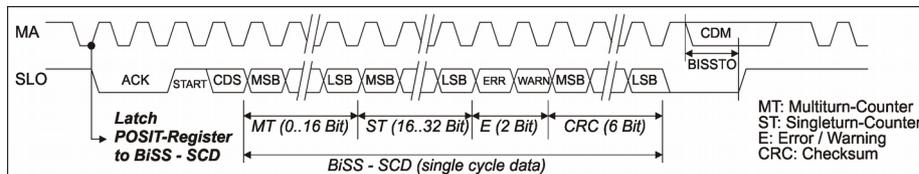


Abbildung 19: BiSS SCD (Single-Cycle-Daten)

Per BiSS-Registerzugriff sind alle weiteren Register des IC erreichbar. Beim Lesen von 32-Bit-Datenregistern muss das Bit *READ32* im Register *CFGBISS* gesetzt sein. Register-Lesezugriffe über BiSS erfolgen dann im 32 Bit-Format. Es müssen immer 4 aufeinanderfolgende Adressen beginnend mit der niederwertigsten (durch 4 teilbaren) Adresse vom BiSS-Master gelesen werden. Die Hinweise zur Einstellung der Bits *SYNC (4:0)* im Register *CFG2* müssen ebenfalls beachtet werden (siehe 8.1.4).

Tabelle 29: Register *CFGBISS* (BiSS-Mode)

Bit	Bedeutung	Herstellerkonfiguration	Anwenderkonfiguration
BISSTO	BiSS-Timeout	25.6µs bei 40 MHz	$BISSTO = \log_2(\text{Timeout} \cdot f_{osz})$
CLK10	Bereich Oszillatorfrequenz	$f_{osz} > 10\text{MHz}$	0 für $f_{osz} \leq 10\text{MHz}$ / 1 für $f_{osz} > 10\text{MHz}$
READ32	Datenformat Lesezugriffe	Lesen von Konfigurationsregistern	Lesen von Daten- und/oder Konfigurationsregistern

Tabelle 30: Voreinstellung BiSS-Register

Register	Herstellerkonfiguration	Anwenderkonfiguration
BiSS-Seriennummer	MSB: 0 LSB: Pegel an <i>HWA (3:0)</i>	MSB: Eindeutige Seriennummer LSB: Pegel an <i>HWA (3:0)</i>
BiSS-Herstellererkennung	0x4743 („GC“)	Eigene Herstellererkennung
BiSS-Geräteerkennung	0x51 0x01 0x1E 0x00 → 11.8	Eigene Geräteerkennung
BiSS-Profil + Electronic data sheet (EDS)	unbenutzt	Eigenes Geräteprofil

Alle weiteren Beschreibungen zum BiSS-Interface, wie Signalverläufe, Registerbeschreibungen sowie Informationen zum EDS (Electronic data sheet) sind über [www.biss-interface.com](http://www.biss-interface.com) zu erhalten.

### 8.3 SSI-Schnittstelle

Die SSI-Schnittstelle des GC-IP201(B) wird aktiviert, wenn während des Rücksetzens des IC der Eingang SEN auf L-Pegel gehalten wird. Für den GC-IP201B muss zusätzlich das Bit SSI im Register CFG3 gesetzt sein. Zum Betrieb des GC-IP201(B) über SSI-Schnittstelle **muss** der EEPROM eine gültige Konfiguration enthalten, da für den Betrieb grundlegende Parameter im EEPROM enthalten sind. Die Bits SSITO, CLK10 und RING im Register CFGBISS werden zum Betrieb der Schnittstelle anhand der Systemparameter durch den Anwender im EEPROM initialisiert.

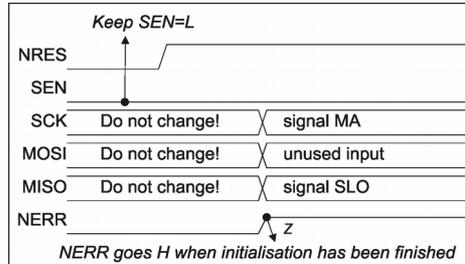


Abbildung 20: Initialisierung SSI-Hardware

In den Daten des SSI-Protokolls wird das Register POSIT (siehe Abschnitt 7.8) mit einer Datenlänge von insgesamt 13 oder 25 Bit übertragen. Darin enthalten sind der Wert des Interpolationszählers (Singleturn Zähler) und des Multiturnzählers. Zusätzlich ist ein Bit für Fehlerinformationen reserviert. Bei Verwendung des Multiturnzählers ist es sinnvoll, eine der Interpolationsraten 256, 128, 64 oder 32 einzustellen, da der übergeordnete Schnittstellenmaster in der Regel nur mit binären Auflösungen arbeitet. Falls das Bit RING im Register CFGBISS gesetzt ist, kann der SSI-Master durch einen kontinuierlichen Takt die wiederholte Datenübertragung des gleichen Wertes erzwingen (SSI-Ringbetrieb).

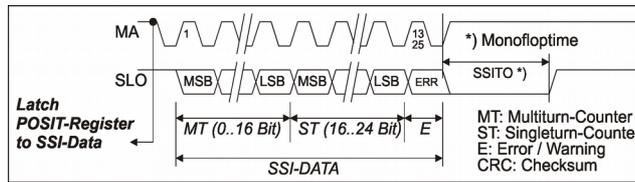


Abbildung 21: SSI

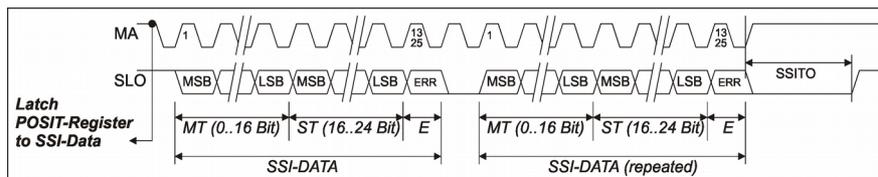


Abbildung 22: SSI (Ringbetrieb)

Tabelle 31: Register CFGBISS (SSI-Mode)

Bit	Bedeutung	Herstellerkonfiguration	Anwenderkonfiguration
SSITO	SSI-Timeout	20µs bei 40 MHz	SSITO = (Timeout·f <sub>osz</sub> )-3
CLK10	Bereich Oszillatorfrequenz	f <sub>osz</sub> > 10MHz	0 für f <sub>osz</sub> ≤ 10MHz / 1 für f <sub>osz</sub> > 10MHz
RING	SSI-Ringbetrieb	Ringbetrieb	Betriebsart des SSI-Masters
SSI13	Gesamtlänge der Daten	13 Bit	0 für 25 Bit / 1 für 13 Bit

## 8.4 EEPROM

Zur permanenten Speicherung der anwenderspezifischen Konfiguration sowie aller für die BiSS-Schnittstelle relevanter Informationen ist im GC-IP201(B) ein EEPROM integriert. Nach einem Reset wird getestet, ob der EEPROM freigegeben ist und der Inhalt ausgelesen werden kann. **Die Freigabe des EEPROM erfolgt mit einem gespeicherten Datenwort von 0x134A an EEPROM-Adresse 0x00.** Das Schreiben des EEPROM geschieht über das AMAC-EEPROM-Interface, auf welche über das Register `EEP` zugegriffen wird. Das Lesen beliebiger EEPROM-Zellen erfolgt ebenfalls über dieses Register. Zusätzlich können per BiSS-Schnittstelle alle zum BiSS-Betrieb nötigen Informationen sowie das elektronische Datenblatt (EDS) direkt aus dem EEPROM gelesen werden. Adressierung und Datenformat des EEPROM unterscheiden sich zu Adressierung der Register über SPI oder BiSS.

Die Programmierung umfasst Erase- und Write-Zugriffe auf den EEPROM, die durch Zugriff auf das EEPROM-OPCode-Register ausgelöst werden.

Lesezugriffe auf den EEPROM erfolgen wie von BiSS definiert als Direktzugriffe. Dabei sind die BiSS-Adresse sowie das BiSS-Page-Register zu verwenden, um die Page zu selektieren.

Die Programmierung erfolgt über das AMAC-EEPROM-Interface und der EEPROM-Adresse. Das BiSS-Page-Register ist für die Programmierung nicht zu benutzen; es dient nur dem Read-Direkt-Zugriff über BiSS.

Tabelle 32: Adressierung EEPROM

	Register	EEPROM
Wortbreite Daten	8 Bit	16 Bit
Wortbreite Adresse	8 Bit	8 Bit / EEPROM-Adresse = Register-Adresse / 2
Endianess (Anwenderregister)	Little Endian	Little Endian
Endianess (BiSS-Register)	Big Endian	Big Endian

Tabelle 33: Address-mapping

Bereich	Adresse SPI	Adresse BiSS	Adresse EEPROM	Endianess
Anwenderregister	0x00 ... 0x3F	0x00 ... 0x3F (Page 0)	0x00 ... 0x1F	Little Endian
BiSS-C Slave-Register	-	0x40 ... 0x47	0x20 ... 0x23	Big Endian
Anwenderregister	0x48 ... 0x77	0x48 ... 0x77	0x24 ... 0x3B	Little Endian
BiSS-C Slave-Register	-	0x78 ... 0x7F	0x3C ... 0x3F	Big Endian
BiSS-C Profil / BiSS-C EDS / OEM Bereich	-	0x00 ... 0x3F (Page 1)	<b>0x40 ... 0x5F</b>	Big Endian
BiSS-C Profil / BiSS-C EDS / OEM Bereich	-	0x00 ... 0x3F (Page 2)	<b>0x60 ... 0x7F</b>	Big Endian
BiSS-C Profil / BiSS-C EDS / OEM Bereich	-	0x00 ... 0x3F (Page 3)	<b>0x80 ... 0x9F</b>	Big Endian
BiSS-C Profil / BiSS-C EDS / OEM Bereich	-	0x00 ... 0x3F (Page 4)	<b>0xA0 ... 0xBF</b>	Big Endian
BiSS-C Profil / BiSS-C EDS / OEM Bereich	-	0x00 ... 0x3F (Page 5)	<b>0xC0 ... 0xDF</b>	Big Endian
BiSS-C Profil / BiSS-C EDS / OEM Bereich	-	0x00 ... 0x3F (Page 6)	<b>0xE0 ... 0xFF</b>	Big Endian

Die Abläufe zum Lesen und Schreiben des EEPROM sind in Abschnitt 11.4 beschrieben. Es ist darauf zu achten, dass bei gesetztem `EEPBSY`-Bit im Register `EEP` das Register `EEP` nicht beschrieben werden darf. Das Konfigurationsbit `CFGBISS/CLK10` ist je nach Taktfrequenz zu setzen. Das Register `MANUFACTURE` darf nicht geändert werden.

# 9 Register

Tabelle 34: Registerüberblick

Register	Zugriff <sup>1)</sup>	Adresse SPI	Biss-Page	Adresse BISS	Adresse EEPROM <sup>2)</sup>	Bemerkungen
MVAL	R	0x00		0x00...0x03	0x00...0x01	<b>Gültigkeitskennungen im EEP</b>
CNT	R	0x04		0x04...0x07		
STAT/ID/REV	R	0x08		0x08...0x0B		
CFG1	RW	0x0C...0x0F		0x0C...0x0F	0x06...0x07	Anwenderkonfiguration aus EEPROM
CFG2	RW	0x10...0x13		0x10...0x13	0x08...0x09	
CTRLG_C	RW	0x14...0x17		0x14...0x15	0x0A	
CTRLG_S	RW	0x14...0x17		0x16...0x17	0x0B	
CTRLO_C	RW	0x18...0x1B		0x18...0x19	0x0C	
CTRLO_S	RW	0x18...0x1B		0x1A...0x1B	0x0D	
CFG3	RW	0x1C...0x1F		0x1C...0x1D	0x0E	
PRE_MT	RW	0x1E...0x1F		0x1E...0x1F	0x0F	
PRE_ST	RW	0x20...0x23	0	0x20...0x23	0x10...0x11	
CFGBISS	RW	0x24...0x27		0x24...0x25	0x12...0x13	
POSIT	R	0x28		0x28...0x2B		
ADC_C	R	0x2C		0x2C...0x2D		
ADC_S	R	0x2C		0x2E...0x2F		
CADC_C	R	0x30		0x30...0x31		
CADC_S	R	0x30		0x32...0x33		
IP1_PHI	R	0x34		0x34...0x35		
IP1_DPHI	R	0x34		0x36...0x37		
IP2_PHI	R	0x38		0x38...0x39		
IP2_BQ	R	0x38		0x3A...0x3B		
MANUFACTURE	!	0x3C...0x3F		0x3C...0x3F		<b>Darf nicht geändert werden</b>
BiSS-Bank	R (EEP)			0x40		
BiSS-EDS-Bank	R (EEP)	-		0x41	0x20 (MSB)	Siehe <a href="http://www.biss-interface.com">www.biss-interface.com</a>
BiSS-Profil	R (EEP)	-		0x42...0x43	0x21	
BiSS-Seriennummer	R (EEP)	-		0x44...0x47	0x22 ... 0x23	
EEP_DAT	RW			0x48...0x49		
EEP_ADR / EEP_STAT	RW	0x48...0x4B		0x4A		
EEP_OPC	W			0x4B		
unbenutzt	-	0x4C...0x4F		0x4C...0x4F		
CMD	W	0x50		0x50		
unbenutzt	-	0x51...0x6B		0x51...0x6B		
Manufacture_ZA1	!	0x6C...0x6F		0x6C...0x6F	0x36...0x37	Register und EEPROM können nicht geändert werden
Manufacture_ZA2	!	0x70...0x73		0x70...0x73	0x38...0x39	
Manufacture_ZD	!	0x74...0x77		0x74...0x75	0x3A...0x3B	
BISS-Geräteerkennung	R (W <sub>EEP</sub> )	-		0x78...0x7B	0x3C...0x3D	Siehe <a href="http://www.biss-interface.com">www.biss-interface.com</a>
BiSS-Timeout	RW	-		0x7C...0x7D	0x3E	
BiSS-Herstellererkennung	R (W <sub>EEP</sub> )	-		0x7E...0x7F	0x3F	
BiSS-EDS / OEM	R (W <sub>EEP</sub> )	-	1	0x00...0x3F	0x40...0x5F	
BiSS-EDS / OEM	R (W <sub>EEP</sub> )	-	2	0x00...0x3F	0x60...0x7F	
BiSS-EDS / OEM	R (W <sub>EEP</sub> )	-	3	0x00...0x3F	0x80...0x9F	
BiSS-EDS / OEM	R (W <sub>EEP</sub> )	-	4	0x00...0x3F	0xA0...0xBF	
BiSS-EDS / OEM	R (W <sub>EEP</sub> )	-	5	0x00...0x3F	0xC0...0xDF	
BiSS-EDS / OEM	R (W <sub>EEP</sub> )	-	6	0x00...0x3F	0xE0...0xFF	

<sup>1)</sup> Legende:

- R: Nur Lesen (Register)
- W: Nur Schreiben (Register)
- RW: Lesen/Schreiben (Register)
- R (W<sub>EEP</sub>): Nur Lesen über BiSS (Schreiben über EEPROM-Interface)
- !: Herstellerregister. Darf/kann nicht geändert werden!

<sup>2)</sup> Die EEPROM Adresse gilt bei Lesen/Schreiben des EEPROM über das interne Interface (Register EEP).

- dunkelgrau: Register wird während Reset aus EEPROM geladen (siehe Abschnitt 6.1)
- blaugrau: BiSS-Information, direkt aus EEPROM lesbar (siehe [www.biss-interface.com](http://www.biss-interface.com))
- weiß: EEPROM enthält Gültigkeitskennungen 0x134A an Adresse 0x00 (Anwender) und 0x01 (Hersteller)

**MVAL** Messwert / Triggerwert

31:2	1	0
CNT/TVAL	TRG	ERR

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:2	CNT/TRG	0x0000	Signed		Messwert; Wert entspricht Zählwert bzw. dem Inhalt eines Triggerhalteregisters. → Abschnitt 7.7
1	TRG	0	Bit	0 1	Messwert entspricht aktuellem Zählwert Messwert entspricht Inhalt eines Triggerhalteregisters
0	ERR	0	Bit	0 1	Messwert ist gültig Ein Fehler ist aufgetreten. Der aktuelle Messwert und alle nachfolgenden Werte sind zu verwerfen. Nach Beseitigung der Fehlerursache und dem Rücksetzen der Fehlerbits (SPI-Befehl: RESCNT) ist für Absolutwertmessungen ein erneutes Überfahren des Referenzpunktes notwendig! → Abschnitt 7.5

**CNT** Zählwert

31:2	1	0
CNT	ZSTAT	ERR

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:2	CNT	0x0000	Signed		Zählwert
1	ZSTAT	0	Bit	0 1	Referenzmarke des Maßstabes wurde noch nicht überfahren oder Bezug von Zählwert und Referenzmarke ging aufgrund eines Fehlers verloren. 1 Referenzmarke des Maßstabes wurde überfahren; GC-IP201(B) und Maßstab arbeiten synchron → Abschnitte 7.3.3, 7.6.3, 7.6.4
0	ERR	0	Bit	0 1	Messwert ist gültig Ein Fehler ist aufgetreten. Der aktuelle Messwert und alle nachfolgenden Werte sind zu verwerfen. Nach Beseitigung der Fehlerursache und dem Rücksetzen der Fehlerbits (SPI-Befehl: RESCNT) ist für Absolutwertmessungen ein erneutes Überfahren des Referenzpunktes notwendig! → Abschnitt 7.5

**POSIT** Positionsdaten (Multiturn + Singleturn)

31:2	1	0
POSITION	WARN	ERR

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:2	Position	0x0000	Unsigned ST Unsigned MT		Positionswert aus Multiturn- und Singleturn-Position Position = MT · INKREMENTE/360°mech. + ST → Abschnitt 7.8
1	WARN	0	Bit	0 1	Messwert ist gültig Messwert mit eingeschränkter Genauigkeit → Abschnitt 7.5
0	ERR	0	Bit	0 1	Messwert ist gültig Ein Fehler ist aufgetreten. Der aktuelle Messwert und alle nachfolgenden Werte sind zu verwerfen. Nach Beseitigung der Fehlerursache und dem Rücksetzen der Fehlerbits (SPI-Befehl: RESCNT) ist für Absolutwertmessungen ein erneutes Überfahren des Referenzpunktes notwendig! → Abschnitt 7.5

ID / STAT / REV		ASIC Kennung / Status																											
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	ASICID							ASICREV						
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	ZSTAT	TRGOVL	TRGZ	TRGTIM	TRGPIN	ESOFF	ECOFF	ESGAIN	ECGAIN	EABZ	EFAST	ESADC	ECADC	EVLOW

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:21	-	00000000	Binär	-	-
23:20	ASICID	0101	Binär	0101	Der IC ist ein GC-IP201 oder GC-IP201B
19:16	ASICREV	0001	Binär		Silizium-Revision des IC
15	-	0	Bit	-	-
14	-	0	Bit	-	-
13	ZSTAT	0	Bit	0	Referenzmarke des Maßstabes wurde noch nicht überfahren oder Bezug von Zählwert und Referenzmarke ging aufgrund eines Fehlers verloren.
				1	Referenzmarke des Maßstabes wurde überfahren; GC-IP201(B) und Maßstab arbeiten synchron → Abschnitte 7.3.3, 7.6.3, 7.6.4
12	TRGOVL	0	Bit	0	Kein Überlauf Triggerhaltereregister
				1	Überlauf Triggerhaltereregister; Trigger oder Timerereignis ging verloren
11	TRGZ	0	Bit	0	Nächster an Adresse 0x00 gelesene Messwert wurde nicht vom Referenzsignal getriggert
				1	Nächster an Adresse 0x00 gelesene Messwert wurde vom Referenzsignal getriggert
10	TRGTIM	0	Bit	0	Nächster an Adresse 0x00 gelesene Messwert wurde nicht vom Timer getriggert
				1	Nächster an Adresse 0x00 gelesene Messwert wurde vom Timer getriggert
9	TRGPIN	0	Bit	0	Nächster an Adresse 0x00 gelesene Messwert wurde nicht vom Pin TRG getriggert
				1	Nächster an Adresse 0x00 gelesene Messwert wurde vom Pin TRG getriggert
8	ESOFF	0	Bit	0	Kein Offsetfehler am Sinussignal
				1	Der Offsetregler für das Sinussignal hat seine Grenze erreicht. Ursache ist ein zu großer Signaloffset, ein ungültiger Wert zur Initialisierung des Reglers, ein teilweiser oder ein vollständiger Sensorabriss
7	ECOFF	0	Bit	0	Kein Offsetfehler am Cosinussignal
				1	Der Offsetregler für das Cosinussignal hat seine Grenze erreicht. Ursache ist ein zu großer Signaloffset, ein ungültiger Wert zur Initialisierung des Reglers, ein teilweiser oder ein vollständiger Sensorabriss
6	ESGAIN	0	Bit	0	Kein Amplitudenfehler am Sinussignal
				1	Der Verstärkungsregler für das Sinussignal hat seine Grenze erreicht. Ursache ist eine zu kleine Signalamplitude, ein teilweiser oder ein vollständiger Sensorabriss.
5	ECGAIN	0	Bit	0	Kein Amplitudenfehler am Cosinussignal
				1	Der Verstärkungsregler für das Cosinussignal hat seine Grenze erreicht. Ursache ist eine zu kleine Signalamplitude, ein teilweiser oder ein vollständiger Sensorabriss.
4	EABZ	0	Bit	0	Kein Fehler an A,B,Z
				1	Die Signale A, B und Z sind ungültig. Ursache ist eine zu hohe Eingangsfrequenz. Die überwachte Frequenz ist abhängig vom eingestellten minimalen Flankenabstand $t_{pp}$ . Dieser Fehler tritt auch auf, wenn die Interpolationsrate oder der minimale Flankenabstand geändert wird. Für die Zählerbetriebsart wird die Erkennung dieses Fehlers automatisch deaktiviert.
3	EFAST	0	Bit	0	Kein Geschwindigkeitsfehler
				1	Die Eingangsfrequenz ist so hoch, dass die A/B-Signale nicht gebildet werden können bzw. keine Richtungserkennung mehr möglich ist. Die überwachte Frequenz unterscheidet sich bei Betrieb mit internem Zähler bzw. bei Verwendung der Rechteckausgänge A,B,Z.
2	ESADC	0	Bit	0	Kein ADC-Fehler am Sinussignal
				1	Der AD-Wandler für das Sinussignal ist übersteuert. Ursache ist eine zu große Signalamplitude. Für Signale mit sehr großem Offset bei gleichzeitig großer Amplitude kann dieser Fehler ebenfalls auftreten.
1	ECADC	0	Bit	0	Kein ADC-Fehler am Cosinussignal
				1	Der AD-Wandler für das Cosinussignal ist übersteuert. Ursache ist eine zu große Signalamplitude. Für Signale mit sehr großem Offset bei gleichzeitig großer Amplitude kann dieser Fehler ebenfalls auftreten.
0	EVLOW	0	Bit	0	Kein Vektorfehler
				1	Der aus Cosinus- und Sinussignal gebildete Signalvektor ist zu klein. Ursache ist meist ein teilweiser bzw. vollständiger Sensorabriss. Für Signale mit sehr großem Offset bei gleichzeitig kleiner Amplitude kann dieser Fehler ebenfalls auftreten.

CFG1		Konfiguration 1														
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
TEAEN	TRGSLP	LOFF	LGAIN	LABZ	LFAST	LADC	LVLOW	TRI	HLD	MOFF	MGAIN	MABZ	MFAST	MADC	MVLOW	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0	
GAIN1	GAIN0	DH2	DH1	DH0	TPP2	TPP1	TPP0	MODE2	MODE1	MODE0	Z4	IR3	IR2	IR1	IR0	

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31	TEAEN	0	Bit	0 1	Die Teachfunktion ist inaktiv Die Teachfunktion ist aktiv → Abschnitt 7.9
30	TRGSLP	0	Bit	0 1	Fallende Flanke am Pin TRG löst Messwertübernahme in Triggerhalterregister aus Steigende Flanke am Pin TRG löst Messwertübernahme in Triggerhalterregister aus
29	LOFF	0 (Pin) 1 (EEPROM)	Bit	0 1	Erkannte Offsetfehler (ESOFF/ ECOFF) werden nicht gespeichert. Erkannte Offsetfehler (ESOFF/ ECOFF) werden gespeichert.
28	LGAIN	0 (Pin) 1 (EEPROM)	Bit	0 1	Erkannte Verstärkungsfehler (ESGAIN/ECGAIN) werden nicht gespeichert. Erkannte Verstärkungsfehler (ESGAIN/ECGAIN) werden gespeichert.
27	LABZ	0 (Pin) 1 (EEPROM)	Bit	0 1	Erkannte A/B/Z-Fehler (EABZ) werden nicht gespeichert. Erkannte A/B/Z-Fehler (EABZ) werden gespeichert.
26	LFAST	0 (Pin) 1 (EEPROM)	Bit	0 1	Erkannte Geschwindigkeitsfehler (EFAST) werden nicht gespeichert. Erkannte Geschwindigkeitsfehler (EFAST) werden gespeichert.
25	LADC	0 (Pin) 1 (EEPROM)	Bit	0 1	Erkannte ADC-Fehler (ESADC/ECADC) werden nicht gespeichert. Erkannte ADC-Fehler (ESADC/ECADC) werden gespeichert.
24	LVLOW	0 (Pin) 1 (EEPROM)	Bit	0 1	Erkannte Vektorfehler (ELVLOW) werden nicht gespeichert. Erkannte Vektorfehler (ELVLOW) werden gespeichert.
23	TRI	0	Bit	0 1	Das Verhalten der Signale A,B und Z ist im Fehlerfall durch das Bit HLD bestimmt Die Signale A,B und Z sind im Fehlerfall hochohmig
22	HLD	1	Bit	0 1	Das Verhalten der Signale A,B und Z ist im Fehlerfall undefiniert Die Signale A,B und Z werden im Fehlerfall nicht geändert
21	MOFF	1	Bit	0 1	Die Erkennung von Offsetfehlern (ESOFF/ ECOFF) ist deaktiviert Die Erkennung von Offsetfehlern (ESOFF/ ECOFF) ist aktiviert
20	MGAIN	1	Bit	0 1	Die Erkennung von Verstärkungsfehlern (ESGAIN/ECGAIN) ist deaktiviert Die Erkennung von Verstärkungsfehlern (ESGAIN/ECGAIN) ist aktiviert
19	MABZ	1	Bit	0 1	Die Erkennung von A/B/Z-Fehlern (EABZ) ist deaktiviert; Der IC arbeitet im Zählerbetrieb Die Erkennung von A/B/Z-Fehlern (EABZ) ist aktiviert; Der IC arbeitet im Rechteckbetrieb
18	MFAST	1	Bit	0 1	Die Erkennung von Geschwindigkeitsfehlern (EFAST) ist deaktiviert Die Erkennung von Geschwindigkeitsfehlern (EFAST) ist aktiviert
17	MADC	1	Bit	0 1	Die Erkennung von ADC-Fehlern (ESADC/ECADC) ist deaktiviert Die Erkennung von ADC-Fehlern (ESADC/ECADC) ist aktiviert
16	MVLOW	1	Bit	0 1	Die Erkennung von Vektorfehlern (EVLOW) ist deaktiviert Die Erkennung von Vektorfehlern (EVLOW) ist aktiviert
15:14	GAIN1:0	CFGGAIN (Pin) 00 (EEPROM)	Binär	00 01 10 11	Nominalamplitude 660mVpp Nominalamplitude 330mVpp Nominalamplitude 160mVpp Nominalamplitude 50mVpp → Abschnitt 7.1
13:11	DH2:0	00 & CFGDH (Pin) 001 (EEPROM)	Unsigned	DH	Schwellwert der digitalen Hysterese. Ein Wert von 0 deaktiviert die digitale Hysterese → Abschnitt 7.3.2
10:8	TPP2:0	0 & CFGTPP (Pin) 001 (EEPROM)	Unsigned	TPP	Minimaler Flankenabstand $t_{pp} = 2TPP / f_{OSZ}$ → Abschnitte 7.3.2, 7.4
7:5	MODE	0 & CFGMODE (Pin) 000 (EEPROM)	Binär	000 001 010 011 100	ABZ-Ausgänge: Standard ABZ ABZ-Ausgänge: Sensorabgleich 1 ABZ-Ausgänge: Sensorabgleich 2 ABZ-Ausgänge: Sensorabgleich Z ABZ-Ausgänge: MC / DSP → Abschnitt 7.6
4	Z4	0	Bit	0 1	Breite des Indexsignals Z beträgt ein Inkrement = ¼ Periode Breite des Indexsignals Z beträgt ein 4 Inkremente = 1 Periode → Abschnitt 7.3.3
3:2	IR3:2	10 (256-fach)	Binär	00 01 10	Basis-Interpolationsrate 200 → IRATE = 200 / 100 / 50 / 25 Basis-Interpolationsrate 160 → IRATE = 160 / 80 / 40 / 20 Basis-Interpolationsrate 256 → IRATE = 256 / 128 / 64 / 32
1:0	IR1:0	00	Binär	00 01 10 11	Interpolationsrate = Basis-Interpolationsrate / 1 → IRATE = 200 / 160 / 256 Interpolationsrate = Basis-Interpolationsrate / 2 → IRATE = 100 / 80 / 128 Interpolationsrate = Basis-Interpolationsrate / 4 → IRATE = 50 / 40 / 64 Interpolationsrate = Basis-Interpolationsrate / 8 → IRATE = 25 / 20 / 32

① Zur empfohlenen Konfiguration des Registers CFG1 siehe Abschnitt 7.5 Die Interpolationsraten 50 und 25 (IR3:0 = 0010 bzw. 0011) dürfen nur in der Zählerbetriebsart verwendet werden. Die ABZ-Signale sind dann ungültig.

CFG2											Konfiguration 2				
31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
DISLP	LP1	LP0	PHBER	PH3	PH2	PH1	PH0	-	-	-	OFFSCTL	OFFSCTL	GAINCTL	GAINCTL	DISCTL
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
ASYNC	SYNC4	SYNC3	SYNC2	SYNC1	SYNC0	VT1	VT0	T7	T6	T5	T4	T3	T2	T1	T0

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31	DISLP	0	Bit	0 1	Der analoge Tiefpass ist aktiviert Der analoge Tiefpass ist deaktiviert
30:29	LP(1:0)	00	Binär	00 01 10 11	Der analoge Tiefpass hat eine Grenzfrequenz (-1dB) von 450 kHz Der analoge Tiefpass hat eine Grenzfrequenz (-1dB) von 200 kHz Der analoge Tiefpass hat eine Grenzfrequenz (-1dB) von 75 kHz Der analoge Tiefpass hat eine Grenzfrequenz (-1dB) von 10 kHz
28	PHBER	0	Bit	0 1	Der Einstellbereich des Phasenkorrekturpotentiometers beträgt ± 5° Die Schrittweite beträgt 0.7° Der Einstellbereich des Phasenkorrekturpotentiometers beträgt ± 10° Die Schrittweite beträgt 1.4°
27:24	PH3:0	000000	Binär	PH -8 -1 0 7	Einstellwert des Phasenkorrekturpotentiometers Phasenkorrekturwert = 0.7°·PH bzw. Phasenkorrekturwert = 1.4°·PH → Bit 28 PHBER Kleinster Einstellwert: Phasenkorrekturwert = 0.7°(1.4°)·-7 = -4.9°(9.8°) Mittlerer Einstellwert: Phasenkorrekturwert = 0° Größter Einstellwert: Phasenkorrekturwert = 0.7°(1.4°)·7 = +4.9°(9.8°)
23:21	-	000	Binär	-	-
20:19	OFFSCTL	00	Binär	00 01 10 11	Defaultwert für die Einschwingzeit des Offsetreglers. Diese Konfiguration muss gewählt werden, falls das Sensorsignal eine geringe Eingangsfrequenz aufweist, von Rauschen überlagert ist oder die Phase zwischen Sinus- und Cosinus-Signal nicht vollständig mit dem Phasenkorrekturpotentiometer abgeglichen werden kann. Verkürzung der Einschwingzeit des Offsetreglers um einen Faktor von ca. 2 Verkürzung der Einschwingzeit des Offsetreglers um einen Faktor von ca. 4 Verkürzung der Einschwingzeit des Offsetreglers um einen Faktor von ca. 8
18:17	GAINCTL	00	Binär	00 01 10 11	Defaultwert für die Einschwingzeit des Verstärkungsreglers. Diese Konfiguration muss gewählt werden, falls das Sensorsignal eine geringe Eingangsfrequenz aufweist, von Rauschen überlagert ist oder die Phase zwischen Sinus- und Cosinus-Signal nicht vollständig mit dem Phasenkorrekturpotentiometer abgeglichen werden kann. Verkürzung der Einschwingzeit des Verstärkungsreglers um einen Faktor von ca. 2 Verkürzung der Einschwingzeit des Verstärkungsreglers um einen Faktor von ca. 4 Verkürzung der Einschwingzeit des Verstärkungsreglers um einen Faktor von ca. 8
16	DISCTL	0	Bit	0 1	Der interne Regler für Verstärkung und Offset ist aktiviert Der interne Regler für Verstärkung und Offset ist deaktiviert
15	ASYNC	0	Bit	0 1	Die zu lesenden Daten werden synchron zum internen Ablauf mit dem SPI-Wort RD0/ST in ein 32-Bit-Halterregister übernommen. Mit dem Wert von SYNC kann der Übernahmezeitpunkt relativ zum Abtastzeitpunkt verschoben werden. Zu lesende Daten werden asynchron mit dem SPI-Wort RD0/ST in ein 32-Bit-Halterregister übernommen. Der Wert von SYNC wird nicht ausgewertet. → Abschnitt 8.1.4
14:10	SYNC4:0	00000	Unsigned		Verschiebung eines SPI-Lesezugriffs relativ zum Abtastzeitpunkt. Für das Lesen der Register MVAL, CNT und ADC_x kann ein beliebiger Wert eingestellt werden. Mit dem Defaultwert '00000' ergibt sich eine geringe Verzögerung zwischen berechnetem Zählwert und Datenausgabe an der SPI-Schnittstelle. Für das Lesen der Register PHI, DPHI, BQ und CADC_x muss ein Wert von '00100' verwendet werden. → Abschnitt 8.1.4
9:8	VT1:0	00	Binär	00 01 10 11	$f_{VT} = f_{OSZ} / 2^6$ $f_{VT} = f_{OSZ} / 2^{10}$ $f_{VT} = f_{OSZ} / 2^{14}$ $f_{VT} = f_{OSZ} / 2^{16}$ Zeitkonstante des Timers. $t_{Timer} = (T+1)/f_{VT}$ ; Falls VT = T = 0, so ist der Timer deaktiviert. → Abschnitt 7.7
7:0	T7:0	0x00	Unsigned	T	Zeitkonstante des Timers. $t_{Timer} = (T+1)/f_{VT}$ ; Falls VT = T = 0, so ist der Timer deaktiviert. → Abschnitt 7.7

**CFG3 Konfiguration 3**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PRE_MT															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
SSI	SPISLOW	-	-	-	-	ZDEL	DISZ	ZMODE	ZMODE	PHIOUTZ	ZPOS4	ZPOS3	ZPOS2	ZPOS1	ZPOS0

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:16	PRE_MT	0x0000	Unsigned	PRE_MT	Preload-Wert des Multiturn-Zählers → Abschnitt 7.9
15	SSI	0	Bit	0 1	Für den IC GC-IP201B wird BISS als Digitalschnittstelle verwendet Für den IC GC-IP201B wird SSI als Digitalschnittstelle verwendet Die Auswertung dieses Bits erfolgt nur, wenn die BISS/SSI mittels SEN=Low während Reset aktiviert wurde. Im IC GC-IP201 kann BISS nicht aktiviert werden. → Abschnitt 6.1
14	SPISLOW	1	Bit	0 1	SPI arbeitet mit maximaler Taktrate 25 MHz. Es erfolgt keine Filterung der Eingangssignale. SPI arbeitet mit maximaler Taktrate von ca. f <sub>OSZ</sub> /4. Es erfolgt eine Filterung durch 2-fache Abtastung der SPI-Eingangssignale und des SPI-Taktes.
13:10	-	0000	Binär	-	-
9	ZDEL	0	Bit	0 1	Defaultwert Zusätzliche interner Verzögerung des Referenzpunktsignals um 32/f <sub>OSZ</sub>
8	DISZ	0	Bit	0 1	Referenzpunktverarbeitung ist aktiviert Referenzpunktverarbeitung ist deaktiviert
7:6	ZMODE	00	Binär	00 01 10 11	Referenzpunktmodus Inkrementell Referenzpunktmodus Trigger Referenzpunktmodus Abgleich Z Referenzpunktmodus Abstandskodiert → Abschnitte 7.3.3, 7.6.3, 7.7
5	PHIOUTZ	0	Bit	0 1	Das Leseregister PHI wird auf Sinus- und Cosinus bezogen 0° entspricht Sinus-Nulldurchgang und Cosinus-Maximum Das Leseregister PHI wird auf die eingestellte Referenzpunktposition bezogen 0° entspricht ZPOS4:0
4:0	ZPOS4:0	00100 (45°)	Unsigned	ZPOS	Konfiguration der analogen Referenzpunktposition bezogen auf das Sinussignal. Position Referenzpunkt = ca. ZPOS · 11.25° → Abschnitt 7.3.3

**PRE\_ST Preload-Wert Zähler**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
PRE (31:16)															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
PRE (15:0)															

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:0	PRE	0x0000	Unsigned	PRE	Preload-Wert des Zählers → Abschnitt 7.9

**CFGBISS Konfiguration SSI und Konfiguration BISS**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
-	-	SSI13	RING												
SSITO (11:0)															
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MTBIT		GRAY			STBIT			-	READ32	CLK10			BISSTO (4:0)		

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31	-	0	Bit	-	-
30	-	0	Bit	-	-
29	SSI13	1		0 1	25 Bit SSI-Daten 13 Bit SSI-Daten → Abschnitt 7.8, 8.3 → Tabelle 24
28	RING	1	Bit	0 1	SSI Ringbetrieb deaktiviert SSI Ringbetrieb aktiviert → Abschnitt 8.3
27:16	SSITO	797 dezimal	Unsigned	SSITO	Konfiguration SSI-Timeout-Parameter auf 1µs...20µs. $Timeout = (SSITO+3)/f_{OSZ}$ bzw. $SSITO = (Timeout \cdot f_{OSZ}) - 3$ Beispiel: $f_{OSZ} = 40MHz \rightarrow SSITO = 37(1\mu s) \dots 797(20\mu s)$ → Abschnitt 8.3
15:14	MTBIT	00	Binär	00 01 10 11	0 Bit Multiturnzähler in den Positionsdaten 8 Bit Multiturnzähler in den Positionsdaten 12 Bit Multiturnzähler in den Positionsdaten 16 Bit Multiturnzähler in den Positionsdaten → Abschnitt 7.8 → Tabelle 24
13	GRAY	1	Bit	0 1	Positionsdaten (Multiturn- und Singleturnzähler) sind binär codiert Positionsdaten (Multiturn- und Singleturnzähler) sind im gray-codiert
12:8	STBIT	30 dezimal	Binär	STBIT	Auflösung des Singleturn-Wertes innerhalb der Positionsdaten in Bit, Range: 8-30Bit Achtung! Die Anzahl der übertragenen Bits ergibt sich aus Tabelle 24
7	-	0	Bit	-	-
6	READ32	0	Bit	0 1	0 Lesezugriffe über BISS erfolgen im 8 Bit-Format. Geeignet zum Lesen von Konfigurationsregistern 1 Lesezugriffe über BISS erfolgen im 32 Bit-Format. Es müssen immer 4 aufeinanderfolgende Adressen beginnend mit der niederwertigsten (durch 4 teilbaren) Adresse gelesen werden. Notwendig zum Lesen von Datenregistern
5	CLK10	1	Bit	0 1	$f_{OSZ} < 10MHz$ $f_{OSZ} \geq 10MHz$
4:0	BISSTO	10 dezimal	Unsigned	BISSTO	Konfiguration Biss-Timeout-Parameter auf 12µs...40µs. $Timeout = 2^{BISSTO}/f_{OSZ}$ bzw. $BISSTO = \log_2(Timeout \cdot f_{OSZ})$ Beispiel: $f_{OSZ} = 40MHz \rightarrow BISSTO = 9(12.8\mu s)$ oder $10(25.6\mu s)$ → Abschnitt 8.2

ⓘ Dieses Register muss per SPI im EEPROM konfiguriert werden, um korrekte BISS-Funktionalität zu gewährleisten. Zur Programmierung des EEPROM muss das Bit CLK10 auf den Bereich der tatsächlich verwendeten Taktfrequenz gesetzt werden.

**CNTRLG Regler: Verstärkungskorrekturwert**

Beim Schreiben der Bits 25:16 müssen als erstes die Bits 23:16 geschrieben werden. Danach wird durch Schreiben der Bits 25:24 der vollständige Korrekturwert im Register aktualisiert. Beim Schreiben der Bits 9:0 müssen als erstes die Bits 7:0 nach Adresse geschrieben werden. Danach wird durch Schreiben der Bits 9:8 der vollständige Korrekturwert im Register aktualisiert. Es ist zu beachten, dass die Korrekturwerte vom IC bei aktiver Signalreglung automatisch geändert werden.

31	30	29	28	27	25	25:16
0	0	0	0	0	0	CNTRLG_S
15	14	13	12	11	10	9:0
0	0	0	0	0	0	CNTRLG_C

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:26	-	000000	Binär	-	-
25:16	CNTRLG_S	0x100	Unsigned	CNTRLG	$CADC\_S = [2 \cdot ADC\_S + CNTRLO\_S] \cdot (0.5 + CNTRLG\_S/512)$ $CADC\_C = [2 \cdot ADC\_C + CNTRLO\_C] \cdot (0.5 + CNTRLG\_C/512)$ 1 Inkrement = $2^{-9}$
15:10	-	000000	Binär	0x000	Minimalwert; Die offsetkorrigierten ADC-Werte des Sinussignals werden mit 0.5 multipliziert
9:0	CNTRLG_C	0x100	Unsigned	0x100 0x1FF	Mittenwert; Die offsetkorrigierten ADC-Werte des Sinussignals werden mit 1.0 multipliziert Maximalwert; Die (offsetkorrigierten ADC-Werte des Sinussignals werden mit 1.5 multipliziert

**CNTRLO Regler: Offsetkorrekturwert**

Beim Schreiben der Bits 31:16 müssen als erstes die Bits 23:16 geschrieben werden. Danach wird durch Schreiben der Bits 31:24 der vollständige Korrekturwert im Register aktualisiert. Falls der zu schreibende Wert außerhalb des gültigen Bereichs von -340...+339 liegt, wird das Korrekturregister nicht aktualisiert und das Bit  $E_{SOFF}$  im Register  $STAT/ERR$  gesetzt. Beim Schreiben der Bits 15:0 müssen als erstes die Bits 7:0 geschrieben werden. Danach wird durch Schreiben der Bits 15:8 der vollständige Korrekturwert im Register aktualisiert. Falls der zu schreibende Wert außerhalb des gültigen Bereichs von -340...+339 liegt, wird das Korrekturregister nicht aktualisiert und das Bit  $E_{COFF}$  im Register  $STAT/ERR$  gesetzt. Es ist zu beachten, dass die Korrekturwerte vom IC bei aktiver Signalreglung automatisch geändert werden.



Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:16	CNTRLO_S	0x0000	Signed	CNTRLO	$CADC\_S = [2 \cdot ADC\_S + CNTRLO\_S] \cdot (0.5 + CNTRLG\_S/512)$ $CADC\_C = [2 \cdot ADC\_C + CNTRLO\_C] \cdot (0.5 + CNTRLG\_C/512)$ 1 Inkrement = $2^{-11} \cdot U_{DiffNom} \cdot 1.5$ ( $U_{DiffNom} \rightarrow$ Tabelle 11)
15:0	CNTRLO_C	0x0000	Signed	0xFEAC 0x0000 0x0153	Minimalwert -340 Mittenwert 0; keine Offsetkorrektur Maximalwert +339

**ADC ADC-Wert**



Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:16	ADC_S		Signed	0xFE00 0x0000	Minimalwert -512; Entspricht einer Differenzspannung von ca. -495mV am Eingang des Instrumentationsverstärkers (@GAIN=00) Mittenwert 0; Entspricht einer Differenzspannung von ca. 0mV am Eingang des Instrumentationsverstärkers
15:0	ADC_C		Signed	0x01FF	Maximalwert +511; Entspricht einer Differenzspannung von ca. +495mV am Eingang des Instrumentationsverstärkers (@GAIN=00) → Abschnitt 7.1 → Tabelle 11

**CADC Korrigierter ADC-Wert**



Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31	VZ(CADC_S)		Bit	0 1	Korrigierter ADC-Wert Sinus $\geq 0$ Korrigierter ADC-Wert Sinus $< 0$
29:16	Abs(CADC_S)		Unsigned	0 0x7FFF	Korrigierter ADC-Wert Sinus(Betrag) Minimalwert Maximalwert
15	VZ(CADC_C)		Bit	0 1	Korrigierter ADC-Wert Cosinus $\geq 0$ Korrigierter ADC-Wert Cosinus $< 0$
13:0	Abs(CADC_C)		Unsigned	0 0x7FFF	Korrigierter ADC-Wert Cosinus(Betrag) Minimalwert Maximalwert

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:16	CADC_S		Vorzeichen + Betrag		Korrigierter ADC-Wert Sinus $CADC\_S = [2 \cdot ADC\_S + CNTRLO\_S] \cdot (0.5 + CNTRLG\_S/512)$
15:0	CADC_C		Vorzeichen + Betrag		Korrigierter ADC-Wert Cosinus $CADC\_C = [2 \cdot ADC\_C + CNTRLO\_C] \cdot (0.5 + CNTRLG\_C/512)$

**IP1 Interpolationsregister 1 – Winkelwert / Geschwindigkeit**

31:16

DPHI

15:0

PHI

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:16	DPHI		Signed	DPHI	Der Wert DPHI ist die Differenz des Phasenwinkels von Sinus- und Cosinussignal zwischen zwei Abtastungen. Der Wertebereich ist abhängig von der eingestellten Basis-Interpolationsrate. Mit Hilfe diesen Wertes kann auf die Geschwindigkeit des Messsystems geschlossen werden. $-95 \leq \text{DPHI} < 95$ für die Interpolationsraten 256, 128, 64, und 32 $-74 \leq \text{DPHI} < 74$ für die Interpolationsraten 200, 100, 50 und 25 $-60 \leq \text{DPHI} < 60$ für die Interpolationsraten 160, 80, 40 und 20 $\text{DPHI} = 32 \cdot \text{Basis-Interpolationsrate} \cdot f_{\text{Input}}/f_{\text{OSZ}}$
15:0	PHI		Unsigned	0x0000 Maxima  I	Der Phasenwinkel von Sinus- und Cosinussignal ist 0° Der Phasenwinkel von Sinus- und Cosinussignal 360° - ε Der Maximalwert ist abhängig von der eingestellten Interpolationsrate Maximalwert 255 für Interpolationsraten 256, 128, 64 und 32 Maximalwert 199 für Interpolationsraten 200, 100, 50 und 25 Maximalwert 159 für Interpolationsraten 160, 80, 40 und 20 Mit dem Bit CFG3/PHIOUTZ kann der Bezugswert (0°) verschoben werden

**IP2 Interpolationsregister 2 – Winkelwert / Reglerwert**

31:16

BQ

15:0

PHI

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:16	BQ		Unsigned	BQ	Der Wert BQ enthält die Abweichung des Verstärkungs- und Offsetreglers vom Sollwert. Sind Offset und Verstärkung vollständig abgeglichen, enthält dieses Register einen Wert von 160.
15:0	PHI		Unsigned	0x0000 Maxima  I	Der Phasenwinkel von Sinus- und Cosinussignal ist 0° Der Phasenwinkel von Sinus- und Cosinussignal 360° - ε Der Maximalwert ist abhängig von der eingestellten Interpolationsrate Maximalwert 255 für Interpolationsraten 256, 128, 64 und 32 Maximalwert 199 für Interpolationsraten 200, 100, 50 und 25 Maximalwert 159 für Interpolationsraten 160, 80, 40 und 20

**CMD Kommando**

7	6	5	4	3	2	1	0
-	-	SETHWA	WCFG	RESIC	CLRZ	RESCTL	RESCNT

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
5	SETHWA			1	Die Pins HWA3, HWA2, HWA1 und HWA0 werden als Hardwareadresse in den IC eingelesen. Falls mehrere IC an einer SPI-Schnittstelle betrieben werden sollen, so muss dieser Befehl als erstes an alle angeschlossenen IC gesendet werden. Im BISS-Mode während Initialisierung automatisch ausgeführt, um HWA als LSB der Seriennummer zu übernehmen → Abschnitt 8.1.2
4	WCFG			1	Der Inhalt der Register CFG1, CFG2, CFG3, CNTRLG und CNTRLO wird in den EEPROM übertragen. Das Registerinhalt von CFGBISS wird nicht in den EEPROM übertragen.
3	RESIC			1	Der IC wird rückgesetzt und erneut konfiguriert → Abschnitt 6.1
2	CLRZ			1	Das Status-Bit ZSTAT wird rückgesetzt. Für die Referenzpunktmodi „Abgleich ZPOS“ und „Abstandskodiert“ wird eine neue Auswertung gestartet. → Abschnitt 11.3
1	RESCTL			1	Der interne Regler für Verstärkung und Offset wird rückgesetzt, d.h. die Korrekturwerte für Offset und Verstärkung werden in die Mitte ihres Wertebereichs gestellt.
0	RESCNT			1	Der Zählwert wird mit dem Inhalt des Registers PRE_ST geladen. Der Multiturnzähler wird mit PRE_MT aus dem Register CFG3 geladen. Alle Fehlerflags im Statusregister werden rückgesetzt. Das Status-Bit ZSTAT wird rückgesetzt. Für die Referenzpunktmodi „Abgleich ZPOS“ und „Abstandskodiert“ wird eine neue Auswertung gestartet. → Abschnitte 7.9, 11.3

**EEP EEPROM-Interface**

**Lesen**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
-	-	-	-	-	-	-	-	-	-	AUT	EER	EEPVALID	EWR	EEPBSY	RSV

15:0

EEPDAT

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
21	AUT	0	Bit		Dieses Bit ist reserviert zu Testzwecken
20	EER	0	Bit	0 1	Kein EEPROM-Löschbefehl aktiv EEPROM-Löschbefehl aktiv
19	EEPVALID	0/1	Bit	0 1	Gültigkeitskennung 0x134A an Adresse 0x00 nicht gefunden. Gültigkeitskennung 0x134A an Adresse 0x00 gefunden. EEPROM-Inhalt wurde nach Reset in die zugehörigen Register geladen. → 6.1
18	EWR	0	Bit	0 1	Kein EEPROM-Schreibzugriff Zugriff aktiv EEPROM-Schreibzugriff Zugriff aktiv
17	EEPBSY	0	Bit	0 1	Kein EEPROM-Zugriff aktiv EEPROM-Zugriff aktiv; Es darf kein weiterer Befehl an den EEPROM gesendet werden.
16	RSV	0	Bit		Diese Bit ist reserviert für zukünftige Erweiterungen
15:0	EEPDAT	0x0000	Binär		Gelesene EEPROM-Daten

**Schreiben**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16	
-	-	-	-	-	EEPOPC				EEPADR							

15:0

EEPDAT

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
26:24	EEPOPC	0000	Binär	000 001 010 100 sonst	EEP-OPCode; <b>das Schreiben dieser Bits löst einen EEPROM-Zugriff aus.</b> Das Register darf nicht beschrieben werden, wenn das Bit EEPBSY gesetzt ist. EEPADR und EEPDAT müssen gültig sein. NOP – Keine Aktion WRITE – 16 Bit schreiben READ – 16 Bit lesen ERASE – 16 Bit löschen Undefiniertes Verhalten. Der EEPROM-Inhalt kann verloren gehen → Abschnitte 8.4, 11.4
23:16	EEPADR	0x00	Binär		EEPROM-Adresse; Zum Löschen, Schreiben oder Lesen des EEPROM muss die Adresse vor dem Aktivieren des OPCodes in dieses Register geschrieben werden. Das Register darf nicht beschrieben werden, wenn das Bit EEPBSY gesetzt ist.
15-0	EEPDAT	0x0000	Binär		EEPROM-Daten; Zum Programmieren des EEPROM müssen die Daten vor dem Aktivieren des OP-Codes in dieses Register geschrieben werden. Das Register darf nicht beschrieben werden, wenn das Bit EEPBSY gesetzt ist.

**MANUFACTURE Herstellereinstellungen**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
RSV3								RSV2							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
RSV1								RSV0							

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:24	RSV3	0	Binär		Darf nicht geändert werden
23:16	RSV2	0	Binär		Darf nicht geändert werden
15:8	RSV1	0	Binär		Darf nicht geändert werden, um die Funktionalität des EEPROM nicht zu beeinträchtigen
7:0	RSV0	62dez	Binär		Darf nicht geändert werden, um die Funktionalität des EEPROM nicht zu beeinträchtigen

**BiSS-Geräteerkennung**      **Geräteerkennung**

31	30	29	28	27	26	25	24	23	22	21	20	19	18	17	16
MTBIT								STBIT							
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
DEV_CLASS								ASICID				ASICREV			

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
31:24	MTBIT	0x00	Hexadezimal	0x00 0x08 0x0C 0x10	Anzahl der Bits des Multiturn-Zählers in den Single-Cycle-Daten MT: 0; ST = 8...30 MT: 8; ST = 8...24 MT: 12; ST = 8...20 MT: 16; ST = 8...16
23:16	STBIT	0x1E	Hexadezimal	0x08 – 0x1E	Anzahl der Singleturn-Bits in den Single-Cycle-Daten
15:8	DEV_CLASS	0x01	Hexadezimal		Geräteklasse
7:4	ASICID	0101	Binär	0101	IC-Kennung GC-IP201/GC-IP201B
3:0	ASICREV		Binär		Silizium-Revision des IC

**BiSS-Timeout**      **BiSS-Timeout-Register**

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
-	-	-	-	-	-	-	-	-	-	-	-	-	-	-	TO

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
2:0	TO	000	Binär	000	Timeout

**BiSS-Herstellererkennung**      **Herstellererkennung**

15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0
MAN_ID_1								MAN_ID_0							

Bit	Name	Reset-Wert	Format	Wert	Bedeutung
15:8	MAN_ID_1	0x43	Hexadezimal	0x43	Herstellererkennung „C“
7:0	MAN_ID_0	0x47	Hexadezimal	0x47	Herstellererkennung „G“

## 10 Kennwerte

Tabelle 35: Absolute Grenzwerte

Symbol	Kennwert	Min.	Typ.	Max.	Einheit
VDDA	Versorgungsspannung analog			3,60	V
VDD	Versorgungsspannung digital			3,60	V
T	Betriebstemperatur	-40		150	°C
TS	Lagertemperatur	-55		150	°C
V(AIN)	Spannung an den Analogeingängen	-0.3		VDDA+0.3	V
V(DIN)	Spannung an den Digitaleingängen	-0.3		VDD+0.3	V
ESD	ESD-Festigkeit (HBM)			2	kV

Tabelle 36: Betriebsbedingungen

Symbol	Kennwert	Min.	Typ.	Max.	Einheit
VDDA	Versorgungsspannung analog	3.15	3.30	3.45	V
VDD	Versorgungsspannung digital	3.15	3.30	3.45	V
I(VDDA)	Stromaufnahme analog		11		mA
I(VDD)	Stromaufnahme digital		$0.42 \cdot f_{OSZ} + 1.3$		mA
T	Betriebstemperatur	-40		150 <sup>1)</sup>	°C

Tabelle 37: Kennwerte Takt / Reset

Symbol	Kennwert	Min.	Typ.	Max.	Einheit
$f_{OSZ}$ (intern)	Interner Takt: Frequenz		40		MHz
$f_{OSZ}$ (extern)	Externer Takt : Frequenz	4		40 <sup>1)</sup>	MHz
TH/TL	Externer Takt : Tastverhältnis	40	50	60	%
$t_{INIT}$	Initialisierungszeit Zeit zwischen NRES steigend und Ready (MISO, NEERR)	30	40	50	ms

<sup>1)</sup> Für  $T > 85^{\circ}\text{C}$  und BiSS-Betrieb beträgt die maximale Taktfrequenz  $f_{OSZ} = 27\text{MHz}$ .

Tabelle 38: Kennwerte Interpolation

Symbol	Kennwert	Min.	Typ.	Max.	Einheit
$f_{IP}$	Eingangsfrequenz, deaktivierte Signalregelung ( $DISCTL = 1$ )	0		440	kHz
$f_{IP}$	Eingangsfrequenz, aktivierte Signalregelung	0		410	kHz
IRATE	Interpolationsrate	20		256	Inkrement
CTRL(A)	Regelbereich Amplitudenregelung	60		120	%VINNOM <sup>2)</sup>
CTRL(O)	Regelbereich Offsetregelung	-15		15	%VINNOM <sup>2)</sup>
VTH(INP)	Schwellwert Vektorüberwachung		30		%VINNOM <sup>2)</sup>
EABS	Absoluter Winkelfehler <sup>1)</sup>		$\pm 0.6$	1.0	Inkrement
EDIFF	Differentieller Winkelfehler <sup>1)</sup>		$\pm 0.3$		Inkrement
tpp	Mindestflankenabstand A/B	$1/f_{OSZ}$		$128/f_{OSZ}$	ns
tp(TRG)	Impulsbreite Triggersignal	$3/f_{OSZ}$			ns
tp(Teach)	Impulsbreite Zero/Teach-Signal	$40000/f_{OSZ}$			ns
td(CNT)	Verzögerung Analogeingang zu CNT bzw. POSIT (@DISLP=1)		$90/f_{OSZ} + 100$		ns
td(ABZ)	Verzögerungszeit Analogeingang zu A/B (@DISLP=1)		$122/f_{OSZ} + 100$		ns

<sup>1)</sup> Bei abgeglicherer Phase zwischen Sinus und Cosinus

<sup>2)</sup> Nominalwert der Differenzspannung von SINP-SINN bzw. Cosp-COSN

Tabelle 39: Kennwerte digital

Symbol	Kennwert	Min.	Typ.	Max.	Einheit
VOH	Ausgangsspannung H	80			%VDDIO
VOL	Ausgangsspannung L			0.4	V
VIH	Eingangsspannung H	70			%VDDIO
VIL	Eingangsspannung L			30	%VDDIO
I(DIG1)	Ausgangsstrom digital			6	mA
I(DIG2)	Ausgangsstrom digital an MISO und NERR			12	mA
R(PU)	Interne Pull-Up Widerstände	90k		210	K $\Omega$
R(PD)	Interne Pull-Down Widerstände	75k		250	K $\Omega$

Tabelle 40: Kennwerte analog

Symbol	Kennwert	Min.	Typ.	Max.	Einheit
Z(AIN)	Eingangsimpedanz		1G $\Omega$   8pF		
Gain	Verstärkung (lt. Tabelle 12) @1kHz	97	100	103	%
fg	Grenzfrequenz (lt. Tabelle 23) @CFG2/DISLP = 0	90	100	110	%
fg <sub>bypass</sub>	Grenzfrequenz @CFG2/DISLP = 1	460			kHz
fg <sub>MATCH</sub>	Abweichung der Grenzfrequenzen zwischen den Kanälen	-1	0	+1	%
V(AIN)	Spannung an den Analogeingängen	0.35		VDDA-1.0	V
CMIR	Gleichtakteingangsspannung → Abbildung 10		1.1		V
CMRR	Gleichtaktunterdrückung (@ f < 1kHz, CFG1/GAIN = 11 )	65			dB
V(V0)	Spannung am Pin V0 / DC-Spannung an SMON/CMON	1.08	1.1	1.12	V
VMON	AC-Spannung an SMON/CMON @ Nominalamplitude		1.27		V <sub>pp</sub>
I(V0)	Ausgangsstrom am Pin V0			1	mA
CL(V0)	Kapazitive Last am Pin V0			300	pF
VTH(REF)	Schaltsschwelle Referenzpunktkomparator <sup>2)</sup>	-1		1	mV
VH(REF)	Hysterese Referenzpunktkomparator <sup>2)</sup>		15		%VINNOM <sup>1)</sup>
I(OUTX)	Ausgangsstrom am Pin SMON/CMON			0.05	mA
CL(OUTX)	Kapazitive Last am Pin SMON/CMON			50	pF
$\phi$ K1	Einstellbereich Phasenkorrektur (@ CFG2/PHBER = 0)	± 4.5	± 5	± 5.5	°
$\phi$ K2	Einstellbereich Phasenkorrektur (@ CFG2/PHBER = 1)	± 9	± 10	± 11	°

<sup>1)</sup> Nominalwert der Differenzspannung von SINP-SINN bzw. COSP-COSN

<sup>2)</sup> Differenzspannung von REFP-REFN

Tabelle 41: Kennwerte EEPROM

Symbol	Kennwert	Min.	Typ.	Max.	Einheit
t <sub>READEEP</sub>	Lesezeit @CFGBISS/CLK10 valid (beliebig)	20		85 (250)	us
t <sub>PROGEEP</sub>	Programmierzeit / Löschezit	4		9	ms
t <sub>RETENTIONEEP</sub>	Datenerhalt @ T < 85°	10			Jahre
N <sub>ProgEEP</sub>	Programmierzyklen @ T = 25° @ T = 125°	10 <sup>4</sup> 10 <sup>3</sup>			

Tabelle 42: Kennwerte SSI

Symbol	Kennwert	Min.	Typ.	Max.	Einheit
f <sub>MA</sub>	Taktfrequenz @ f <sub>OSZ</sub> ≥ 4MHz @ f <sub>OSZ</sub> ≥ 8MHz @ f <sub>OSZ</sub> ≥ 10MHz @ f <sub>OSZ</sub> ≥ 20MHz			2 3 4 5	MHz
t <sub>D</sub> (MISO)	Verzögerungszeit MA steigend bis SLO			25	ns
t <sub>TIMEOUT</sub>	Timeout → CFGBISS	3/f <sub>OSZ</sub>	10	4095 / f <sub>OSZ</sub>	μs

Tabelle 43: Kennwerte BISS

Symbol	Kennwert	Min.	Typ.	Max.	Einheit
$f_{MA}$	Taktfrequenz			10	MHz
$t_D(MISOBISS)$	Verzögerungszeit MA steigend bis SLO			20	ns
$t_{TIMEOUT}$	Timeout → CFGBISS	$2/f_{OSZ}$	25	$2^{31}/f_{OSZ}$	µs

Tabelle 44: Kennwerte SPI @CFG2/SPI\_SLOW=0

Symbol	Kennwert	Min.	Typ.	Max.	Einheit
$t_{HIGH}(SCK)$	SPI-Takt, H-Zeit	20			ns
$t_{LOW}(SCK)$	SPI-Takt, L-Zeit	20			ns
$t_S(SEN)$	Setup-Zeit SEN fallend vor SCK steigend	15			ns
$t_H(SEN)$	Hold-Zeit SEN steigend nach SCK fallend	15			ns
$t_S(MOSI)$	Setup-Zeit MOSI vor SCK steigend	5			ns
$t_H(MOSI)$	Hold-Zeit MOSI nach SCK steigend	5			ns
$t_D(MISO)$	Verzögerungszeit SCK fallend bis MISO @CL = 12 pF			20	ns
$t_{ENA}(MISO)^{1)}$	Verzögerungszeit SEN fallend bis MISO aktiv			25	ns
$t_D(nWAIT)$	Verzögerungszeit SEN steigend bis nWAIT aktiv		60	70	ns
$t(nWAIT-L)$	Wartezeit nach SEN steigend	$2/f_{OSZ}$		$4/f_{OSZ} + 25$	ns
	Wartezeit nach SEN steigend (Synchrones Lesen)	$2/f_{OSZ}$		$36/f_{OSZ} + 25$	ns
$t(SEN-Wait)$	Zeit zwischen Wait-Zustand und nächstem Zugriff	0			ns

1) für Nicht-Lesebefehle kann der Ausgang MISO im Zustand Tristate (inaktiv) bleiben

Tabelle 45: Kennwerte SPI @CFG2/SPI\_SLOW=1

Symbol	Kennwert	Min.	Typ.	Max.	Einheit
$t_{HIGH}(SCK)$	SPI-Takt, H-Zeit	$2/f_{OSZ} + 25$			ns
$t_{LOW}(SCK)$	SPI-Takt, L-Zeit	$2/f_{OSZ} + 25$			ns
$t_S(SEN)$	Setup-Zeit SEN fallend vor SCK steigend	$1/f_{OSZ} + 25$			ns
$t_H(SEN)$	Hold-Zeit SEN steigend nach SCK fallend	$2/f_{OSZ} + 25$			ns
$t_S(MOSI)$	Setup-Zeit MOSI vor SCK steigend	$1/f_{OSZ} + 25$			ns
$t_H(MOSI)$	Hold-Zeit MOSI nach SCK steigend	5			ns
$t_D(MISO@SPI_SLOW)$	Verzögerungszeit SCK steigend bis MISO	$3/f_{OSZ} + 25$		$4/f_{OSZ} + 25$	ns
$t_{ENA}(MISO)^{1)}$	Verzögerungszeit SEN fallend bis MISO aktiv	$3/f_{OSZ}$		$4/f_{OSZ} + 25$	ns
$t_D(nWAIT)$	Verzögerungszeit SEN steigend bis nWAIT aktiv	$3/f_{OSZ}$		$4/f_{OSZ} + 25$	ns
$t(nWAIT-L)$	Wartezeit nach SEN steigend	$2/f_{OSZ}$		$4/f_{OSZ} + 25$	ns
	Wartezeit nach SEN steigend (Synchrones Lesen)	$2/f_{OSZ}$		$36/f_{OSZ} + 25$	ns
$t(SEN-Wait)$	Zeit zwischen Wait-Zustand und nächstem Zugriff	0			ns

1) für Nicht-Lesebefehle kann der Ausgang MISO im Zustand Tristate (inaktiv) bleiben

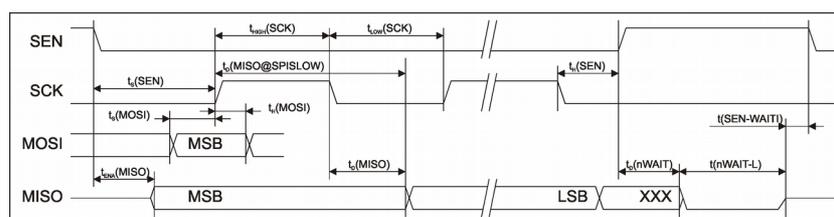


Abbildung 23: Timing SPI

# 11 Applikationshinweise

## 11.1 Beschaltung

Da der GP-IP201(B) zwei schnelle AD-Wandler enthält, sind die gleichen Designrichtlinien wie beim Einsatz von AD- Wandlern anzuwenden. Zu beachten ist, dass für Standardsensoren auch die Qualität der Sensorstromversorgung Einfluss auf die Messgenauigkeit hat. Ggf. sind zusätzliche LC-Kombinationen zur Sensorstromversorgung sowie für VDDA vorzusehen. Versorgungsspannungen und ADC-Referenzspannungen werden anhand Tabelle 46, unbenutzte Ein- / Ausgänge anhand Tabelle 47 beschaltet.

Tabelle 46: IC-Beschaltung Spannungen

Pin	Beschaltung
VSSA	Massefläche analog
VSS, VSSIO, Exposed Pad	Massefläche digital
VDDA	Spannungsversorgung analog 3.3V Blockkondensator 100nF gegen VSSA
VDD, VDDIO	Spannungsversorgung digital 3.3V Blockkondensator 100nF gegen VSS/VSSIO
RL, RM, RH	je ein Blockkondensator 4.7uF gegen VSSA und je ein Blockkondensator 10nF gegen VSSA
V0	Blockkondensator 100nF gegen VSSA

Tabelle 47: IC-Beschaltung unbenutzter Ein- / Ausgänge

Pin	Beschaltung, wenn unbenutzt
NRES	Pull-Up 10k gegen VDDIO
CLK/CKSEL	VSS
SINN, COSN, REFN	V0
REFP	AVDD
CFGPIN	→ Tabelle 6 und Tabelle 9
CFGTPP, CFGGAIN, CFGDH	VSSIO
CFGMODE (Zero/Teach)	VSSIO falls CFGPIN = H bzw. VDDIO falls CFGPIN = L
MISO/SLO	Pull-Up 10k gegen VDDIO
MOSI/SLI	VSSIO
SCK/MA	VSSIO
SEN	VDDIO
NERR	Pull-Up 10k gegen VDDIO
TM	VSS

### Weiterhin:

- Alle Block-Kondensatoren sind Padnah vorzusehen.
- Es sind getrennte Masseflächen für VSSA bzw. für VSS und VSSIO vorzusehen.
- Die Masseflächen für VSSA und VSS werden an einem Punkt der Leiterplatte verbunden.
- An den Pins NRES, NERR wird je ein Pull-Up Widerstand von 10 kΩ benötigt.
- Am Pin MISO/SLO wird ein Pull-Up Widerstand von 1 kΩ benötigt.
- Bei Verwendung der SPI mit hohen Datenraten sind Serienwiderstände von je 22...33 Ω an MOSI, MISO, SCK und SEN vorteilhaft.
- Die digitalen Ausgänge A, B und Z sind für einen Ausgangsstrom von max. 12 mA ausgelegt. Zur Realisierung einer differentiellen RS422-Schnittstelle ist ein externer Treiber IC erforderlich. Diese Ausgänge können im Fehlerfall auf Tristate-Verhalten konfiguriert werden. Je nach Anwendung und Konfiguration werden Pull-Up Widerstände benötigt.
- Für zusätzlicher Abschlusswiderstände zwischen SINP und SINN bzw. zwischen COSP und COSN gelten die Applikationshinweise des jeweiligen Sensorherstellers.
- Single-ended Sensoren werden üblicherweise an den Eingängen SINP und COSP angeschlossen. Dazu müssen die DC-Bezugspegel des IC und des Sensors übereinstimmen.
- Als DC-Bezugspegel ist es möglich, das Signal V0 zu verwenden. Die Strombelastbarkeit an diesem Pin beträgt 1 mA. Es ist auf kurze und kapazitätsarme Leitungsführung zu achten. Eventuell kann man einen Buffer-OPV vorsehen.
- Zum zuverlässigen Betrieb müssen alle IC-Eingänge definiert beschaltet werden. Interne Pull-Up Widerstände verhindern lediglich unvorhersehbares Verhalten des IC bei offenen Eingängen.

Das Design der analogen Eingangsschaltung richtet sich nach der Art des angeschlossenen Sensors. Folgende Abbildungen zeigen beispielhaft den Anschluss verschiedener Sensortypen:

Sensor mit differentiellen Ausgangssignalen

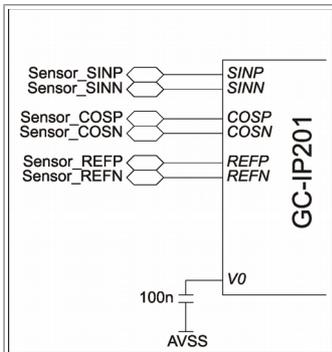


Abbildung 24: Sensor mit differentiellen Ausgangssignalen

- Fehlersignal
- Die Amplitude des Sensors und die Nominalamplitude des GC-IP201(B) werden mit den Konfigurationsbits  $GAIN(1:0)$  aufeinander abgestimmt.
- Der Bezugspegel  $V_0$  wird **intern** gebildet.

Sensor mit einer Nominalamplitude von  $1V_{pp}$  oder  $2V_{pp}$

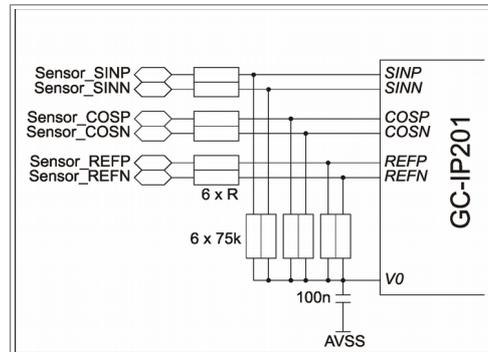


Abbildung 25: Sensor mit einer Nominalamplitude von  $1V_{pp}$  oder  $2V_{pp}$

- Die Nominalamplitude des GC-IP201(B) wird mit den Konfigurationsbits  $GAIN(1:0)$  auf  $660mV_{pp}$  eingestellt.
- Der Bezugspegel  $V_0$  wird **intern** gebildet.
- Widerstände zwischen den Eingangssignalen und  $V_0$  dienen als Spannungsteiler. Der Widerstand R wird folgendermaßen dimensioniert:  $R = (V_{Sensor} / 660mV - 1) \cdot 75k\Omega$
- Sowohl Sensoramplitude als auch die Mittenspannung des Sensors werden im Verhältnis  $R/75k\Omega$  geteilt
- **Alternativ kann für 5V-Sensoren der Pegelwandler-IC GC-LS eingesetzt werden.**

Sensor mit single-ended Ausgangssignalen (I)

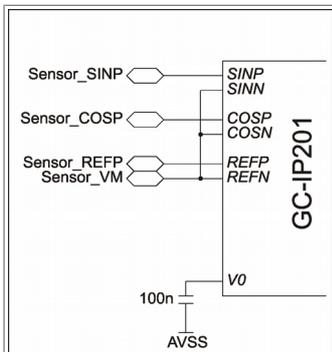


Abbildung 26: Sensor mit single-ended Ausgangssignalen (I)

- Die Amplitude des Sensors und die Nominalamplitude des GC-IP201(B) werden mit den Konfigurationsbits  $GAIN(1:0)$  aufeinander abgestimmt.
- Der Bezugspegel  $V_0$  wird **vom Sensor** bereitgestellt.

Sensor mit single-ended Ausgangssignalen (II)

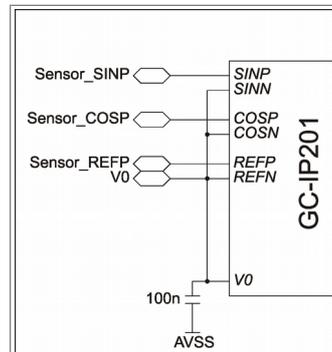


Abbildung 27: Sensor mit single-ended Ausgangssignalen (II)

- Die Amplitude des Sensors und die Nominalamplitude des GC-IP201(B) werden mit den Konfigurationsbits  $GAIN(1:0)$  aufeinander abgestimmt.
- Der Bezugspegel  $V_0$  wird **intern** gebildet und an den Sensor geführt.

Sensor mit antiparallelen Photodioden  
Abgleichsmöglichkeit für Amplitudengleichheit

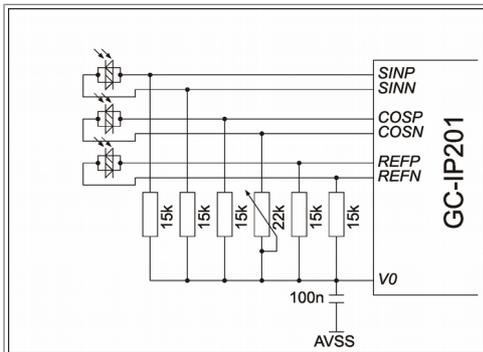


Abbildung 28: Sensor mit antiparallelen Photodioden

- Die Nominalamplitude des GC-IP201(B) wird mit den Konfigurationsbits  $GAIN(1:0)$  auf 330mVpp eingestellt.
- Der Bezugspegel  $V_0$  wird **intern** gebildet.
- Durch Veränderung der Amplitude des Cosinussignals wird Amplitudengleichheit eingestellt. Zum Abgleich werden die Testsignale  $S_{MON}$  und  $C_{MON}$  benutzt.
- Widerstände zwischen den Eingangssignalen und  $V_0$  dienen als I/U-Wandler. Der Widerstand R wird folgendermaßen dimensioniert:  $R_{FIX} = 330\text{ mV} / (2 \cdot I_{SENSOR})$  und  $P_{AMPL} \approx 1.5 \cdot R_{FIX}$   
 → Im Beispiel:  $I_{SENSOR} = 11\ \mu A_{pp}$

Photodiodenarray mit gemeinsamer Kathode oder Anode  
Abgleichsmöglichkeit für Amplitudengleichheit und Offset

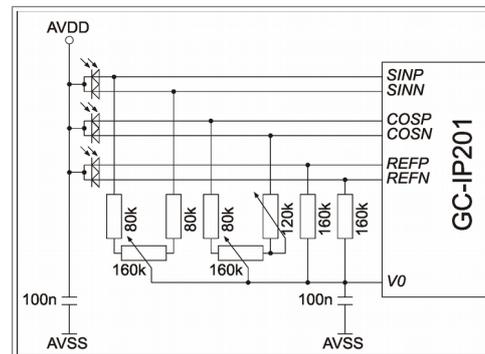


Abbildung 29: Photodiodenarray mit gemeinsamer Kathode oder Anode

- Die Nominalamplitude des GC-IP201(B) wird mit den Konfigurationsbits  $GAIN(1:0)$  auf 160mVpp eingestellt.
- Der Bezugspegel  $V_0$  wird **intern** gebildet.
- Durch Veränderung der Amplitude des Cosinussignals wird Amplitudengleichheit eingestellt. Im Anschluss daran kann der Offset für beide Signale abgeglichen werden. Zum Abgleich werden die Testsignale  $S_{MON}$  und  $C_{MON}$  benutzt.
- Widerstände zwischen den Eingangssignalen und  $V_0$  dienen als I/U-Wandler. Der Widerstand R wird folgendermaßen dimensioniert:  $R = 160\text{ mV} / (2 \cdot I_{SENSOR})$ . Dieser Widerstand wird teilweise als Potentiometer zum Offsetabgleich ausgeführt:  $P_{OFFS} \approx R$ ;  $R_{FIX} \approx \frac{1}{2} R$ ;  $P_{AMPL} \approx 1.5 \cdot R_{FIX}$   
 → Im Beispiel:  $I_{SENSOR} = 0.5\ \mu A_{pp}$

Sensor für Stromsignale 11  $\mu A_{pp}$

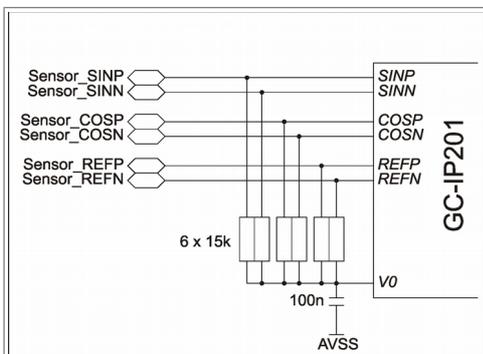


Abbildung 30: Sensor für Stromsignale 11  $\mu A_{pp}$

- Die Nominalamplitude des GC-IP201(B) wird mit den Konfigurationsbits  $GAIN(1:0)$  auf 330mVpp eingestellt.
- Der Bezugspegel  $V_0$  wird **intern** gebildet.
- Widerstände zwischen den Eingangssignalen und  $V_0$  dienen als I/U-Wandler. Der Widerstand R wird folgendermaßen dimensioniert:  $R = 330\text{ mV} / (2 \cdot I_{SENSOR})$   
 → Im Beispiel:  $I_{SENSOR} = 11\ \mu A_{pp}$

Folgende Abbildungen zeigen beispielhaft den Anschluss der verschiedenen Schnittstellen am Ausgang.

ABZ-Ausgang / Konfiguration über Pin

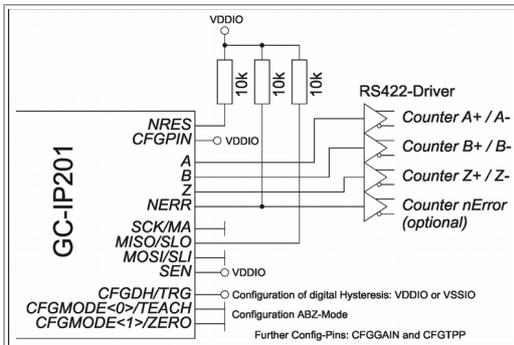


Abbildung 31: ABZ-Ausgang / Konfiguration über Pin

ABZ-Ausgang / Konfiguration über EEPROM

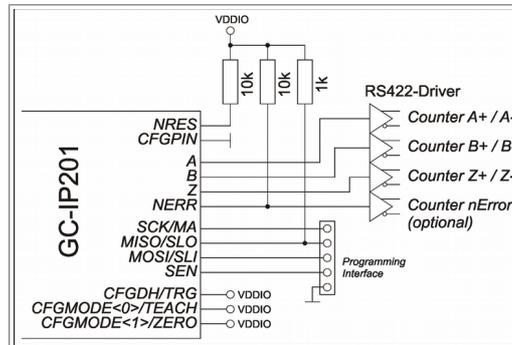


Abbildung 32: ABZ-Ausgang / Konfiguration über EEPROM

- Nominalamplitude, Minimaler Flankenabstand, Hysterese und ABZ-Modus werden über Konfigurationspins eingestellt, alle anderen Konfigurationen werden lt. Tabelle 9 eingestellt.

- Die Konfiguration des IC erfolgt aus dem internen EEPROM
- Die SPI-Schnittstelle dient als Programmierinterface des EEPROM
- Die Leitungen MOSI, SEN und SCK müssen sehr kurz gehalten werden. Anderenfalls werden Pull-Up Widerstände (10 kΩ) empfohlen.

SPI-Schnittstelle über LVDS

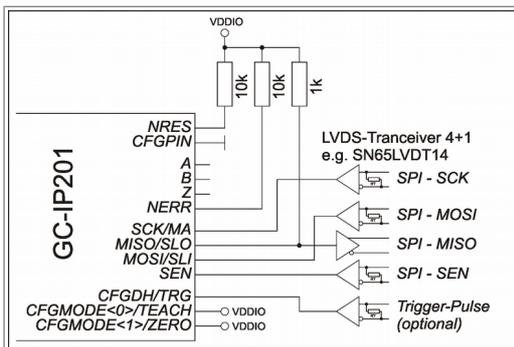


Abbildung 33: SPI-Schnittstelle über LVDS

SPI-Schnittstelle über USB an PC

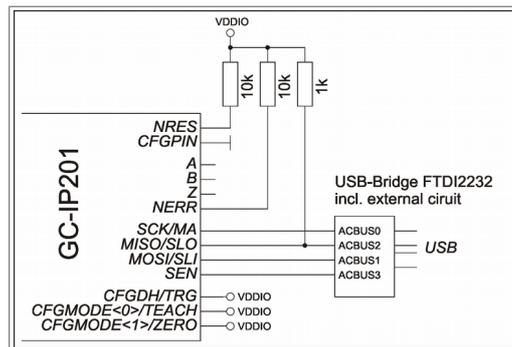


Abbildung 34: SPI-Schnittstelle über USB

- Die Konfiguration des IC erfolgt aus dem internen EEPROM oder über SPI
- LVDS-Treiber ermöglichen große Leitungslängen bei hohen Taktraten
- Ein optionales Signal wird als Trigger benutzt

- Die Konfiguration des IC erfolgt aus dem internen EEPROM oder über SPI
- Die SPI-Schnittstelle wird über einen Bridge-IC direkt von PC-Software gesteuert.

**BiSS-Schnittstelle**

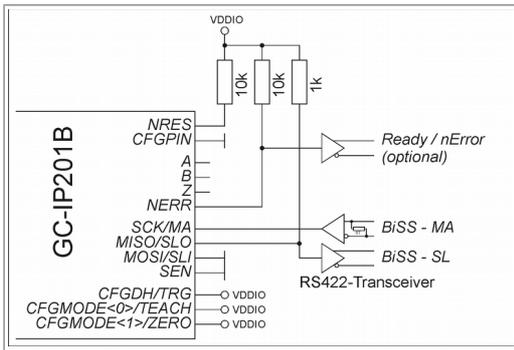


Abbildung 35: BiSS-Schnittstelle

- Die Konfiguration des IC erfolgt aus dem internen EEPROM
- Das BiSS-Interface arbeitet mit einer Punkt-zu-Punkt-Verbindung
- Ein optionales zusätzliches Signal zeigt das Ende der Initialisierung des GC-IP201B bzw. Fehler an.

**SSI-Schnittstelle**

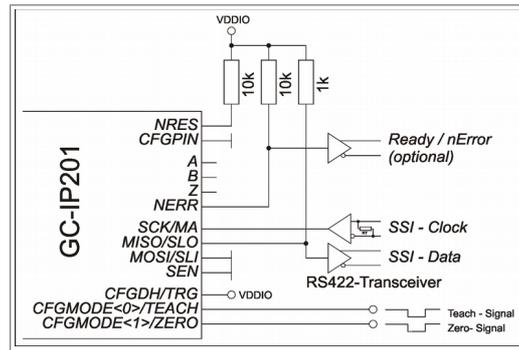


Abbildung 36: SSI-Schnittstelle

- Die Konfiguration des IC erfolgt aus dem internen EEPROM
- Ein optionales zusätzliches Signal zeigt das Ende der Initialisierung des GC-IP201(B) bzw. Fehler an.
- Die Teach- und Zero-Funktion werden durch LVCMOS-Impulse ausgelöst

**SPI-Schnittstelle an Mikrocontroller**

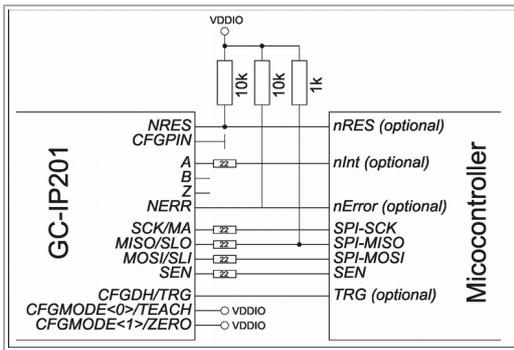


Abbildung 37: SPI-Schnittstelle an Mikrocontroller

- Die Konfiguration des IC erfolgt aus dem internen EEPROM oder über SPI
- Die SPI-Schnittstelle wird von der Mikrocontroller-Firmware gesteuert
- Ein optionales Signal wird als Trigger benutzt, ein weiteres Signal dient als Interrupt zum Mikrocontroller
- Der Interpolationsschaltkreis wird optional vom Mikrocontroller rückgesetzt

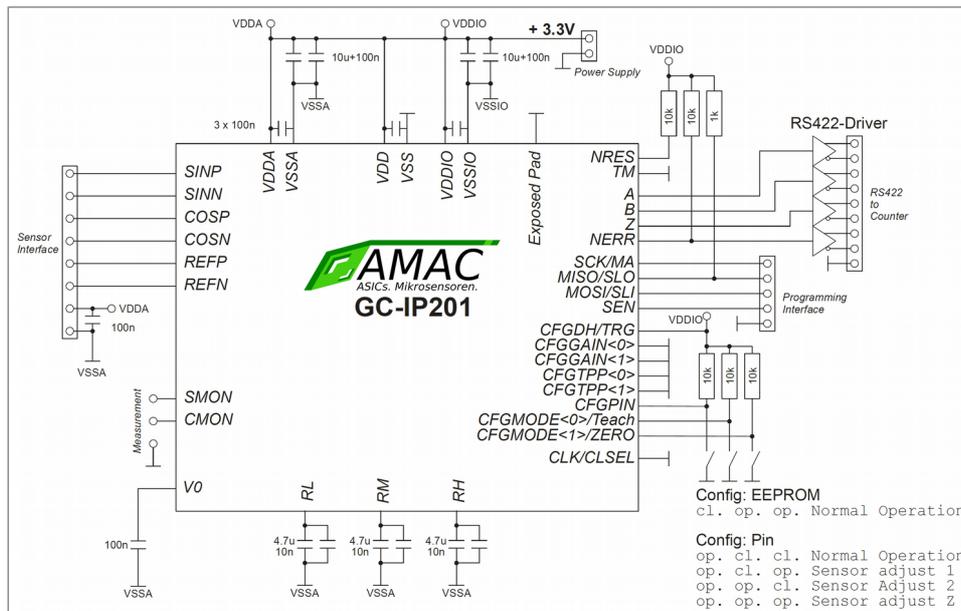


Abbildung 38: Minimalapplikation

- Die Konfiguration des IC erfolgt aus dem internen EEPROM.
- Zum Abgleich des Sensors wird die Konfiguration über Pin aktiviert. Danach kann mittels CFGMODE der Modus der ABZ-Signale entsprechend Abschnitt 7.6.4 eingestellt werden.
- Die SPI-Schnittstelle dient als Programmierinterface des EEPROM.
- Die Leitungen MOSI, SEN und SCK müssen sehr kurz gehalten werden. Anderenfalls werden Pull-Up Widerstände (10 kΩ) empfohlen.

Für weiterführende Informationen zur Verwendung der Schnittstellen und zur allgemeinen Beschaltung des IC fordern Sie bitte Schaltplan und Layout des Demoboards „GP-201“ per E-Mail an support@amac-chemnitz.de an.

### 11.2 Schnelle äquidistante Messungen über SPI

Der IC erlaubt über die SPI-Schnittstelle schnelle äquidistante Messungen. Je nach übergeordnetem System kann dabei zwischen mehreren Konfigurationsmöglichkeiten gewählt werden:

Tabelle 48: Äquidistante Messungen

Zeitbasis	Timer	Eingang TRG	Schnittstelle SPI	Bemerkung
Vom GC-IP201(B)	Zeitbasis	Für asynchrone Triggerereignisse	Modus ASYNC	Das Auslesen der Messwerte über SPI muss im Timerintervall beendet werden. Das Signal nINT an Ausgang A kann zur Synchronisation weiterer Komponenten verwendet werden
Von SPI-Schnittstelle	Inaktiv	Für asynchrone Triggerereignisse	Modus SYNC	Falls SEN mit $N \cdot 32/f_{OSZ}$ aktiviert wird, entsteht kein Jitter. Die exakte Synchronisation mehrerer IC ist möglich.
Extern	Inaktiv	Zeitbasis	Modus ASYNC	Jitter: $32/f_{OSZ}$ . Das Auslesen der Messwerte über SPI muss im Messintervall beendet werden. Die exakte Synchronisation mehrerer IC ist möglich.

In der Abbildung wird beispielhaft eine timergesteuerte, äquidistante Messung unter Verwendung des Signals nINT gezeigt.

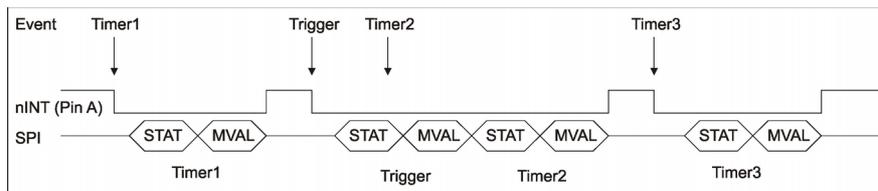


Abbildung 39: Beispiel Timer / Trigger

### 11.3 Programmablauf

Die Verwendung von Trigger und Sensorüberwachung des GC-IP201(B) erfolgt in Verbindung mit den internen Registern MVAL und STAT. Folgende Programmschleife kann dazu implementiert werden:

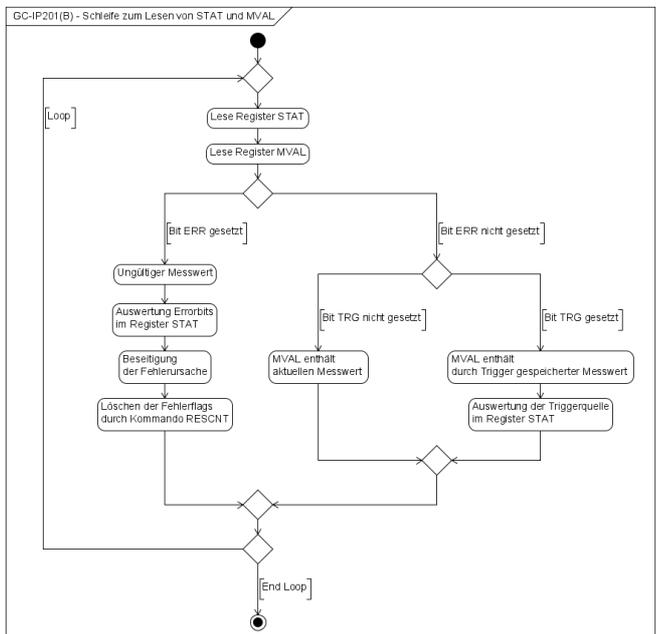


Abbildung 40: Programmschleife zum Lesen von MVAL und STAT

Für den Abgleich der Referenzpunktposition und die Auswertung abstandskodierter Referenzmarken ist der Ablauf zu erweitern:

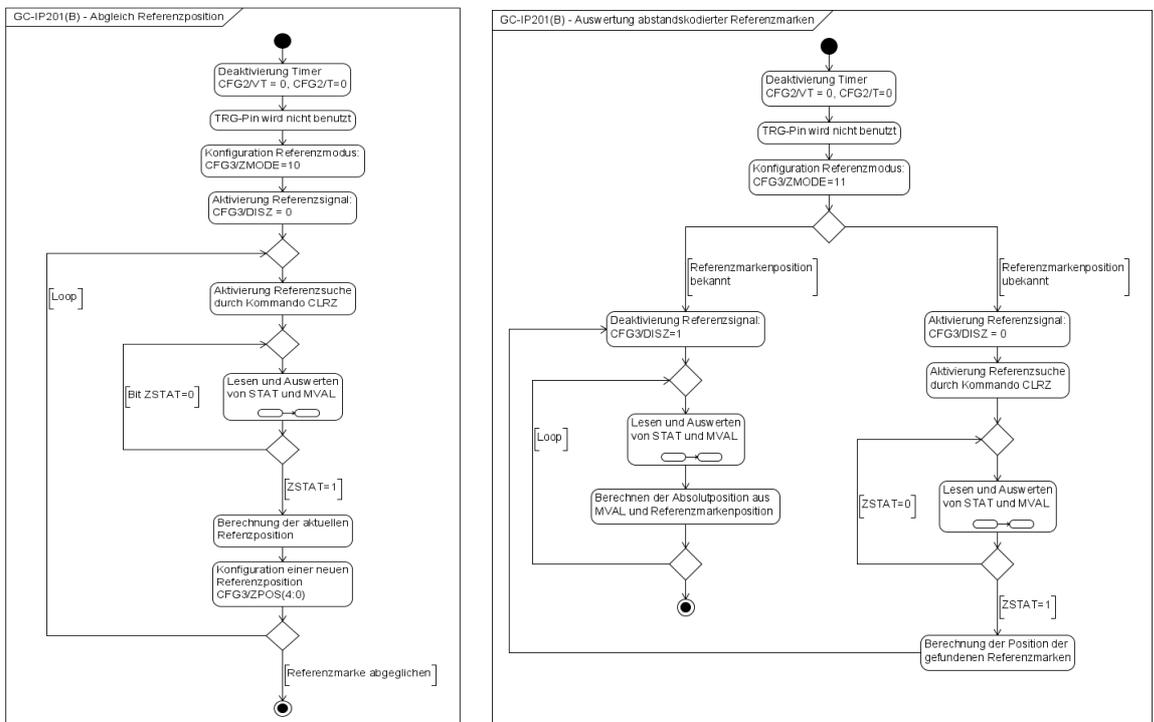


Abbildung 41: Erweiterte Programmschleifen für ZMODE 10 und 11

Siehe auch Abschnitte 7.6.3 und 11.5

## 11.4 EEPROM

Der Zugriff auf den internen EEPROM erfolgt über eine interne Schnittstelle, welche mit Zugriffen auf das Register `EEP` gesteuert wird:

- Vor jedem Schreibzugriff muss das Bit `EEPBSY` gelöscht sein
- Schreibzugriffe auf `EEPOPC` (Byte 3) lösen eine EEPROM-Aktion aus. `EEPADR` und ggf. `EEPDAT` müssen dazu gültige Werte besitzen.
- Ungültige OP-Codes dürfen nicht verwendet werden.

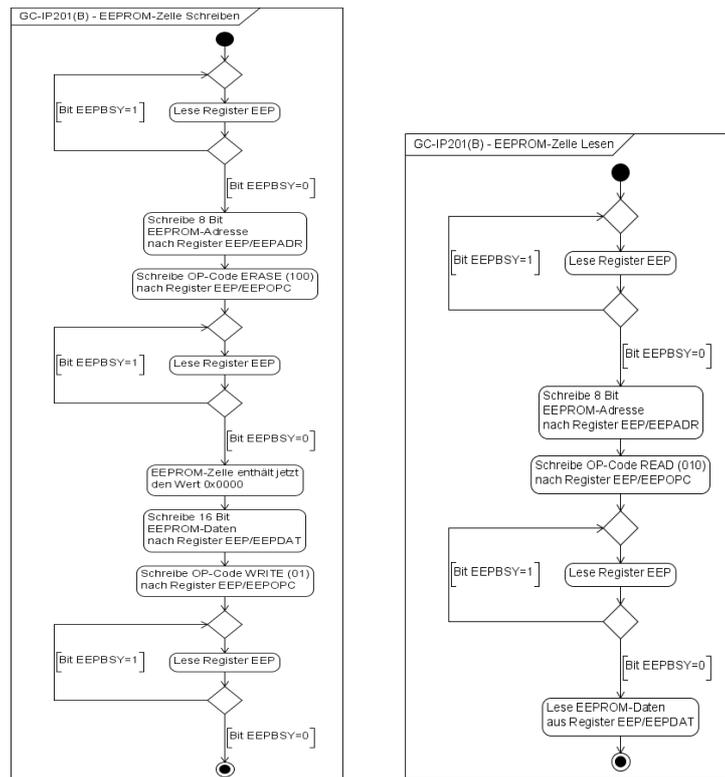


Abbildung 42: Programmablauf EEPROM lesen/schreiben

### 11.5 Auswertung abstandskodierter Referenzmarken

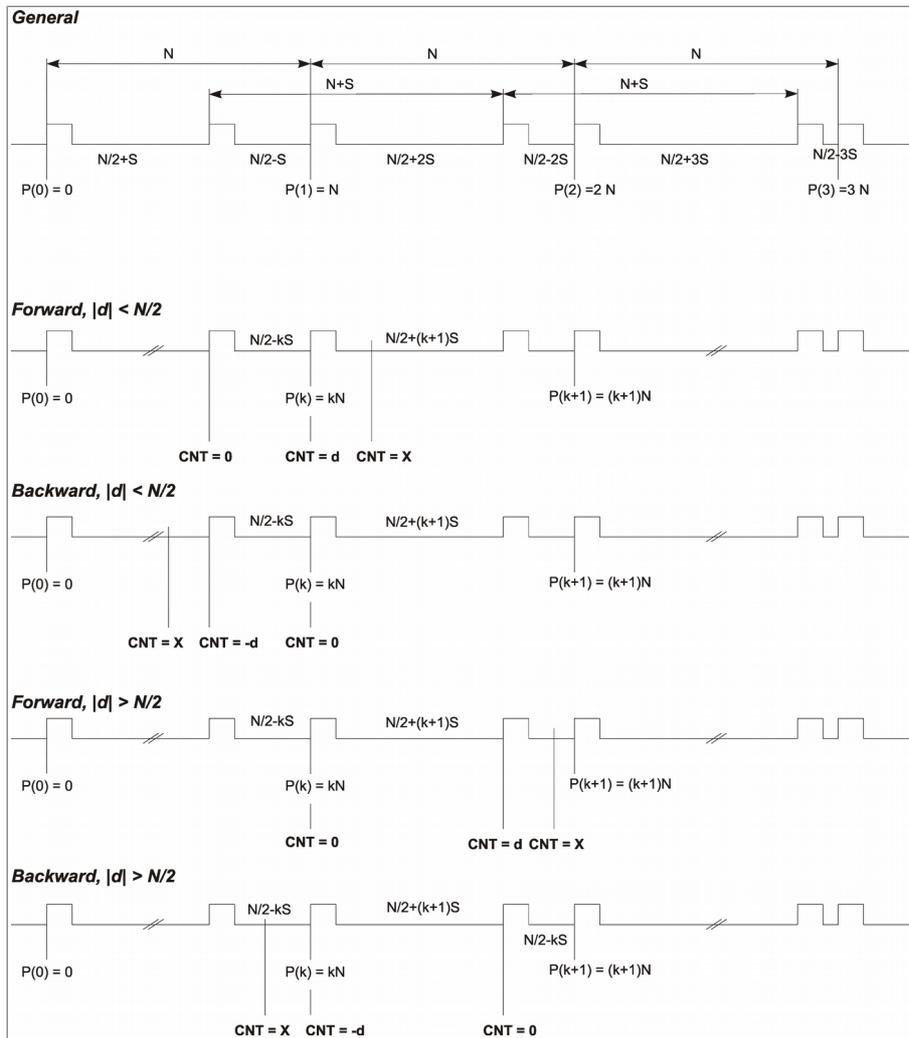


Abbildung 43: Auswertung abstandskodierter Referenzmarken

Tabelle 49: Auswertung abstandskodierter Referenzmarken

$0 < d < \frac{1}{2} \cdot N$ Abbildung 43-1	$-\frac{1}{2} \cdot N < d < 0$ Abbildung 43-2	$\frac{1}{2} \cdot N < d$ Abbildung 43-3	$d < -\frac{1}{2} \cdot N$ Abbildung 43-4
$D = d / \text{IRATE} \cdot M$	$D = d / \text{IRATE} \cdot M$	$D = d / \text{IRATE} \cdot M$	$D = d / \text{IRATE} \cdot M$
$D = (N/2 - k \cdot S)$	$D = -(N/2 - k \cdot S)$	$D = N/2 + (k+1) \cdot S$	$D = -N/2 - (k+1) \cdot S$
$P = N/S \cdot (N/2 - D)$	$P = N/S \cdot (N/2 + D)$	$P = N/S \cdot (D - N/2) - N$	$P = -N/S \cdot (D + N/2) - N$
$PX = P - D + X / \text{IRATE} \cdot M$	$PX = P + X / \text{IRATE} \cdot M$	$PX = P + X / \text{IRATE} \cdot M$	$PX = P - D + X / \text{IRATE} \cdot M$

Mit:

- M: Maßstabsteilung (mm)
- N: Segmentlänge der Referenzmarken auf dem Maßstab (mm)
- S: Referenzpunktschrittweite auf dem Maßstab (mm)
- k: Nummer der Referenzmarke auf dem Maßstab
- $P(k)$ : Absolutposition der Referenzmarke k (mm)
- d: Getriggter Referenzmarkenabstand (Inkrement)
- D: Getriggter Referenzmarkenabstand (mm)
- X: beliebiger Zählwert (Inkrement)
- PX: Absolutposition des Sensors (mm)

## 11.6 Konfiguration von tpp und fosz

Die Konfiguration des GC-IP201(B) erfolgt nach den Anforderungen des Sensors und der Nachfolgeelektronik durch den Anwender des IC. Siehe dazu Abschnitte 7.3 und 7.4

Tabelle 50: Konfiguration tpp

ABZ-Ausgang benutzt?	
Nein	Ja
CFG1/MABZ=0 CFG1/TPP (2:0) beliebig $f_{MAX} = f_{OSZ} / 90$	CFG1/MABZ=1 Bedingung: $t_{pp}(\text{Zähler an ABZ}) < t_{pp}(\text{GC-IP201(B)})$
Oszillatorfrequenz vorgegeben?	
Nein	Ja
CFG1/TPP (2:0) beliebig typisch: CFG1/TPP (2:0) = '001' $N = 2^{CFG1/TPP(2:0)}$  $4 \text{ MHz} \leq f_{OSZ} < N/t_{pp}(\text{Zähler an ABZ}) \leq 40 \text{ MHz}$	  $N = 2^{CFG1-TPP(2:0)} > t_{pp}(\text{Zähler an ABZ}) \cdot f_{OSZ}$
$t_{pp}(\text{GC-IP201(B)}) = N / f_{OSZ}$ $f_{MAX} < 0.9 \cdot f_{OSZ} / (N \cdot \text{IRATE})$ und $f_{MAX} < f_{OSZ} / 90$	

### Beispiel a)

- Der minimale Flankenabstand der an A, B und Z angeschlossenen Elektronik beträgt 250 ns.
- Die Interpolationsrate ist 200.
- Die maximale Eingangsfrequenz beträgt 10 kHz.
- Die Oszillatorfrequenz ist frei wählbar, muss jedoch im Bereich von 4 MHz ... 40 MHz liegen.

CFG1/MABZ = 1 CFG1-TPP (2:0) = '001' → <b>N = 2</b> $f_{OSZ} < 2/250\text{ns}, 10\text{kHz} > 0.9 \cdot f_{OSZ} / (2 \cdot 200)$ → 4.44 MHz < $f_{OSZ}$ < <b>8 MHz</b>	CFG1/MABZ = 1 CFG1-TPP (2:0) = '010' → <b>N = 4</b> $f_{OSZ} < 4/250\text{ns}, 10\text{kHz} > 0.9 \cdot f_{OSZ} / (4 \cdot 200)$ → 8.88 MHz < $f_{OSZ}$ < <b>16 MHz</b>	CFG1/MABZ = 1 CFG1-TPP (2:0) = '011' → <b>N = 8</b> $f_{OSZ} < 8/250\text{ns}, 10\text{kHz} > 0.9 \cdot f_{OSZ} / (8 \cdot 200)$ → 17.77 MHz < $f_{OSZ}$ < <b>32 MHz</b>
---	--	---

### Beispiel b)

- Der minimale Flankenabstand der an A, B und Z angeschlossenen Elektronik beträgt 150 ns.
- Die Interpolationsrate ist 160.
- Die Oszillatorfrequenz beträgt 33 MHz.
- Die maximale Eingangsfrequenz wird aus den vorgegebenen Parametern bestimmt.

CFG1/MABZ = 1 $N = 2^{CFG1-TPP(2:0)} > 150 \text{ ns} \cdot 33 \text{ MHz} \rightarrow N > 5$ CFG1-TPP (2:0) = '011' → <b>N = 8</b> $f_{MAX} = 0.9 \cdot 33 \text{ MHz} / (8 \cdot 160)$ <b><math>f_{MAX} = 23.2 \text{ kHz}</math></b>
---

## 11.7 Konfiguration der Schnittstellen SPI/BiSS/SSI

Die Konfiguration der ausgewählten seriellen Schnittstelle *GC-IP201(B)* erfolgt nach den Anforderungen des Schnittstellenmasters sowie dem Datenformat der Positionsdaten innerhalb der Software. Siehe dazu Abschnitte 8.1,8.2,8.3 sowie 7.8.

### Beispiel a) SPI-Modus

- Der Zählwert sowie Statusinformationen sollen so schnell wie möglich gelesen werden.
- Multiturninformationen werden nicht benötigt.
- Die Taktfrequenz des IC beträgt 40 MHz.

Konfiguration	Wert	Bemerkung
CFG2/ASYNC	1	Maximale Datenrate an SPI-Schnittstelle
CFG2/SYNC	beliebig	Register <code>POSIT</code> wird nicht verwendet
CFGBISS/MTBIT	beliebig	Register <code>POSIT</code> wird nicht verwendet
CFGBISS/STBIT	beliebig	Register <code>POSIT</code> wird nicht verwendet
CFGBISS/GRAY	beliebig	Register <code>POSIT</code> wird nicht verwendet
CFGBISS/CLK10	1	40MHz > 10MHz.
CFGBISS/READ32	beliebig	BiSS-Interface nicht aktiv
CFGBISS/BISSTO	beliebig	BiSS-Interface nicht aktiv
CFGBISS/RING	beliebig	SSI-Interface nicht aktiv
CFGBISS/SSITO	beliebig	SSI-Interface nicht aktiv

### Beispiel b) SPI-Modus

- Alle Datenregister werden mittels Software-Timer gelesen.
- Es werden 8 Bit Multiturndaten benötigt.
- Es wird der interne Oszillator verwendet.

Konfiguration	Wert	Bemerkung
CFG2/ASYNC	0	Äquidistante Messung per Software-Timer
CFG2/SYNC	00100bin	Einige Register verlangen diesen Wert
CFGBISS/MTBIT	01bin	8 Bit Multiturndaten → 22 Bit Singleturndaten
CFGBISS/STBIT	30dez	Die maximale Bitanzahl wird für die Singleturndaten verwendet
CFGBISS/GRAY	0	Per SPI-Schnittstelle werden üblicherweise Binärdaten übertragen
CFGBISS/CLK10	1	40 MHz > 10 MHz
CFGBISS/READ32	beliebig	BiSS-Interface nicht aktiv
CFGBISS/BISSTO	beliebig	BiSS-Interface nicht aktiv
CFGBISS/RING	beliebig	SSI-Interface nicht aktiv
CFGBISS/SSITO	beliebig	SSI-Interface nicht aktiv

**Beispiel c) BiSS-C-Mode**

- Keine Multiturndaten aber Maximalauflösung an Singleturndaten werden benötigt
- Die Übertragung soll im Binärcode erfolgen.
- Die Taktfrequenz des GC-IP201B beträgt 40MHz.
- Per BiSS-Registerzugriff sollen ausschließlich Konfigurationsdaten gelesen und geschrieben werden.

Konfiguration	Wert	Bemerkung
CFG2/ASYNC	beliebig	Keine Übertragung von Datenregistern per Registerzugriff
CFG2/SYNC	beliebig	Keine Übertragung von Datenregistern per Registerzugriff
CFGBISS/MTBIT	00bin	0 Bit Multiturndaten → 32 Bit Singleturndaten
CFGBISS/STBIT	30dez	30 Bit Singleturndaten, es werden 2 führende 0-Bit angefügt, um insgesamt 32 Bit zu erhalten
CFGBISS/GRAY	0	Binärcode
CFGBISS/CLK10	1	40 MHz > 10 MHz
CFGBISS/READ32	0	Keine Übertragung von Datenregistern per Registerzugriff
CFGBISS/BISSTO	9dez	BiSS-Timeout = $512/40 \text{ MHz} = 12.8 \mu\text{s}$
CFGBISS/RING	beliebig	SSI-Interface nicht aktiv
CFGBISS/SSITO	beliebig	SSI-Interface nicht aktiv

**Beispiel d) BiSS-C-Mode**

- 12 Bit Multiturndaten und 13 Bit Singleturndaten werden benötigt.
- Die Übertragung soll im Graycode erfolgen.
- Die Taktfrequenz des GC-IP201B beträgt 8MHz.
- Per BiSS-Registerzugriff sollen Konfigurationsdaten geändert werden und zu Überwachungszwecken die ADC-Werte aus dem IC ausgelesen werden.

Konfiguration	Wert	Bemerkung
CFG2/ASYNC	beliebig	Beliebig für Register $\Delta\text{ADC}$
CFG2/SYNC	beliebig	Beliebig für Register $\Delta\text{ADC}$
CFGBISS/MTBIT	10bin	12 Bit Multiturndaten → 20 Bit Singleturndaten
CFGBISS/STBIT	13dez	13 Bit Singleturndaten, es werden 7 führende 0-Bit angefügt, um insgesamt 20 Bit zu erhalten
CFGBISS/GRAY	1	Graycode
CFGBISS/CLK10	0	8 MHz < 10 MHz
CFGBISS/READ32	1	Übertragung von Datenregistern möglich
CFGBISS/BISSTO	7dez	BiSS-Timeout = $128 / 8 \text{ MHz} = 16\mu\text{s}$
CFGBISS/RING	beliebig	SSI-Interface nicht aktiv
CFGBISS/SSITO	beliebig	SSI-Interface nicht aktiv

Beispiel e) SSI-Mode 13 Bit

- Keine Multiturndaten aber Maximalauflösung an Singleturndaten werden benötigt.
- Die Übertragung soll im Binärcode erfolgen.
- Die Taktfrequenz des GC-IP201(B) beträgt 40MHz.
- Der SSI-Master arbeitet im Ringbetrieb mit einem Timeout von 4 µs.

Konfiguration	Wert	Bemerkung
CFG2/ASYNC	beliebig	Beliebig für SSI
CFG2/SYNC	beliebig	Beliebig für SSI
CFGBISS/MTBIT	beliebig	Beliebig für SSI 13 Bit
CFGBISS/STBIT	30dez	Die maximale Bitanzahl wird für die Singleturndaten verwendet
CFGBISS/GRAY	0	Binärcode
CFGBISS/CLK10	1	40 MHz > 10 MHz
CFGBISS/READ32	beliebig	BiSS-Interface nicht aktiv
CFGBISS/BISSTO	beliebig	BiSS-Interface nicht aktiv
CFGBISS/RING	1	Ringbetrieb möglich
CFGBISS/SSITO	157dez	SSI-Timeout = 160 / 40 MHz = 4µs

Beispiel f) SSI-Mode 25 Bit

- 8 Bit Multiturndaten und 12 Bit Singleturndaten werden benötigt.
- Die Übertragung soll im Graycode erfolgen.
- Die Taktfrequenz des GC-IP201(B) beträgt 8MHz.
- Der SSI-Master arbeitet im Ringbetrieb mit einem Timeout von 18 µs.

Konfiguration	Wert	Bemerkung
CFG2/ASYNC	beliebig	Beliebig für SSI
CFG2/SYNC	beliebig	Beliebig für SSI
CFGBISS/MTBIT	01bin	8 Bit Multiturndaten → 16 Bit Singleturndaten
CFGBISS/STBIT	12dez	12 Bit Singleturndaten, es werden 4 führende 0-Bit angefügt, um insgesamt 16 Bit zu erhalten
CFGBISS/GRAY	1	Graycode
CFGBISS/CLK10	0	8 MHz < 10 MHz
CFGBISS/READ32	beliebig	BiSS-Interface nicht aktiv
CFGBISS/BISSTO	beliebig	BiSS-Interface nicht aktiv
CFGBISS/RING	1	Ringbetrieb möglich
CFGBISS/SSITO	141dez	SSI-Timeout = 144 / 8 MHz = 18µs

### 11.8 BiSS-Konfigurationsdatei *idbiss4743.xml*

Zu automatischen Erkennung des *GC-IP201B* an BiSS-C-Mastergeräten kann die Datei *idbiss4743.xml* verwendet werden. Zur korrekten Erkennung des Datenformats der Single-Cycle-Daten (SCD) wird empfohlen, die Herstellerkennung im BiSS-Bereich anhand der im EEPROM programmierten Einstellung für die Anzahl der Multiturnbits zu ändern. ( → Abschnitt 7.8).

Tabelle 51: BiSS-Konfiguration mittels *idbiss4347.xml*

CFGBISS/MT	Empfohlene Herstellerkennung	SCD (Pos 0)	SCD (Pos 1)	SCD (Pos 2)	SCD (Pos 3)
00bin	0x51 0x01 0x1E 0x00	2 Bit Unbenutzt	30 Bit Singleturn	1 Bit Fehler	1 Bit Warnung
01bin	0x51 0x01 0x18 0x08	8 Bit Multiturn	24 Bit Singleturn	1 Bit Fehler	1 Bit Warnung
10bin	0x51 0x01 0x14 0x0C	12 Bit Multiturn	20 Bit Singleturn	1 Bit Fehler	1 Bit Warnung
11bin	0x51 0x01 0x10 0x10	16 Bit Multiturn	16 Bit Singleturn	1 Bit Fehler	1 Bit Warnung

