

GC-IP200

Datenblatt

Version: 2.2
Datum: 31.01.2017



Revisionsübersicht

Datum	Version	Änderung(en)
16.04.02	1.0	Erstellung
16.05.02	1.1	Tabelle Seite 10 geändert
07.01.04	2.0	Diverse Ergänzungen
20.04.04	2.1	Korrektur SPI Protokoll, Ergänzung mechanischer und elektrischer Kennwerte
31.01.2017	2.2	AMAC spezifische Änderungen des Dokumentenlayouts

© Copyright 2017 AMAC ASIC- und Mikrosensoranwendung Chemnitz GmbH

Unangekündigte Änderungen vorbehalten.

Wir arbeiten ständig an der Weiterentwicklung unserer Produkte. Änderungen des Lieferumfangs in Form, Ausstattung und Technik behalten wir uns vor. Aus den Angaben, Abbildungen und Beschreibungen dieser Dokumentation können keine Ansprüche abgeleitet werden. Jegliche Vervielfältigung, Weiterverarbeitung und Übersetzung dieses Dokumentes sowie Auszügen daraus bedürfen der schriftlichen Genehmigung durch die AMAC. Alle Rechte nach dem Gesetz über das Urheberrecht bleiben AMAC ausdrücklich vorbehalten.

Inhaltsverzeichnis

1 Übersicht.....	6
2 Eigenschaften.....	6
3 Eingangssignale.....	7
3.1 Messsystemanschluss.....	7
3.2 Signalkorrektur.....	7
3.3 Referenzsignal.....	8
4 AD-Umsetzer.....	8
4.1 Dimensionierung der Eingangsschaltung.....	8
5 Digitale Betriebsarten.....	9
5.1 Ausgangssignale / Zählwert.....	9
5.2 Fehlersignal.....	9
5.3 Interpolationsrate.....	9
5.4 Intervallzeit / maximale Eingangsfrequenz.....	10
5.5 Glitchfilter.....	10
6 Schnittstellen.....	11
6.1 Struktur.....	11
6.2 Serielle Schnittstelle (SPI).....	11
6.2.1 Signale.....	11
6.2.2 Protokoll.....	12
6.2.3 Synchron- / Asynchronbetrieb.....	13
6.3 Paralleler Datenausgang.....	14
7 Register.....	15
7.1 Leseregister.....	15
7.2 Schreibregister.....	15
7.3 Kommandos.....	15
7.4 Kodierung.....	16
8 Messwerttrigger.....	20
9 Fehlererkennung.....	21
10 Reset / Konfiguration.....	22
10.1 Resetablauf.....	22
10.2 Konfiguration.....	22
10.3 Defaultwerte der Konfigurationsbits.....	23
11 Verzögerungszeit.....	23
12 Elektrische Kennwerte.....	24
13 Mechanische Kennwerte.....	26
13.1 Pinliste.....	26
13.2 Doppelt genutzte Pins.....	27
13.3 Gehäuse.....	27
13.4 Bondschema.....	28
14 Notizen.....	31

Tabellenverzeichnis

Tabelle 1: Eingangssignale differentiell.....	7
Tabelle 2: Aussteuerbereich Eingangsstufe.....	8
Tabelle 3: Taktfrequenzbeispiel.....	10
Tabelle 4: Kennwerte SPI.....	12
Tabelle 5: SPI Protokoll.....	12
Tabelle 6: Leseregister.....	15
Tabelle 7: Schreibregister.....	15
Tabelle 8: Kommandos.....	15
Tabelle 9: Konfiguration Messwerttrigger.....	20
Tabelle 10: Fehlermaskenregister.....	21
Tabelle 11: Defaulteinstellung der Konfigurationsbits.....	23
Tabelle 12: Absolute Grenzwerte.....	24
Tabelle 13: Betriebsbedingungen.....	24
Tabelle 14: Kennwerte Interpolation.....	24
Tabelle 15: Kennwerte analog.....	25
Tabelle 16: Kennwerte ADC.....	25
Tabelle 17: Anschlussbelegung TQFP64.....	26
Tabelle 18: Bedeutung der Konfigurationspins während Reset.....	27
Tabelle 19: Padkoordinaten GC-IP200 Die.....	29

Abbildungsverzeichnis

Abbildung 1: Blockschaltbild.....	6
Abbildung 2: Eingangssignale.....	7
Abbildung 3: Referenzsignal.....	8
Abbildung 4: Aussteuerbereich Eingangsstufe.....	8
Abbildung 5: Ausgangssignale / Zählwert.....	9
Abbildung 6: Schnittstellenstruktur.....	11
Abbildung 7: SPI Timing.....	12
Abbildung 8: SPI Lesezugriff 32 Bit.....	13
Abbildung 9: SPI Lesezugriff 16 Bit – 3 Kanäle.....	13
Abbildung 10: SPI Schreibzugriff.....	13
Abbildung 11: SPI Kommandozugriff.....	13
Abbildung 12: Timing Paralleler Datenausgang.....	14
Abbildung 13: NRES / NERR.....	22
Abbildung 14: Verzögerungszeit.....	23
Abbildung 15: TQFP64-Gehäuse.....	27
Abbildung 16: GC-IP200 Die.....	28

1 Übersicht

Der Interpolationsschaltkreis GC-IP200 ist zum Anschluss an inkrementale Weg- und Winkelmesssysteme mit sinusförmigen, um 90° phasenverschobenen Ausgangssignalen vorgesehen. Er kann an einer großen Reihe von Gebersystemen, die nach unterschiedlichsten Messprinzipien arbeiten, betrieben werden. Der Schaltkreis realisiert eine Unterteilung der Signalperiode bis zu 200-fach. Ein Zählwert kann sowohl über eine serielle als auch eine parallele Schnittstelle ausgegeben werden.

Verschiedene Schnittstellen und flexible Konfigurationsarten ermöglichen den Einsatz in Single-Chip-Interpolationssystemen, in µC-basierenden Messgeräten und in Mehrkanalsystemen. Eine AMAC-spezifische Gain- und Offsetregelung sowie die Möglichkeit einer Phasenkorrektur gewährleisten eine hohe Messgenauigkeit unter Industriebedingungen. Durch einen zweistufigen integrierten Messwerttrigger sowie den zusätzlichen parallelen Datenausgang ist der IC für den Einsatz in Echtzeitanwendungen geeignet.

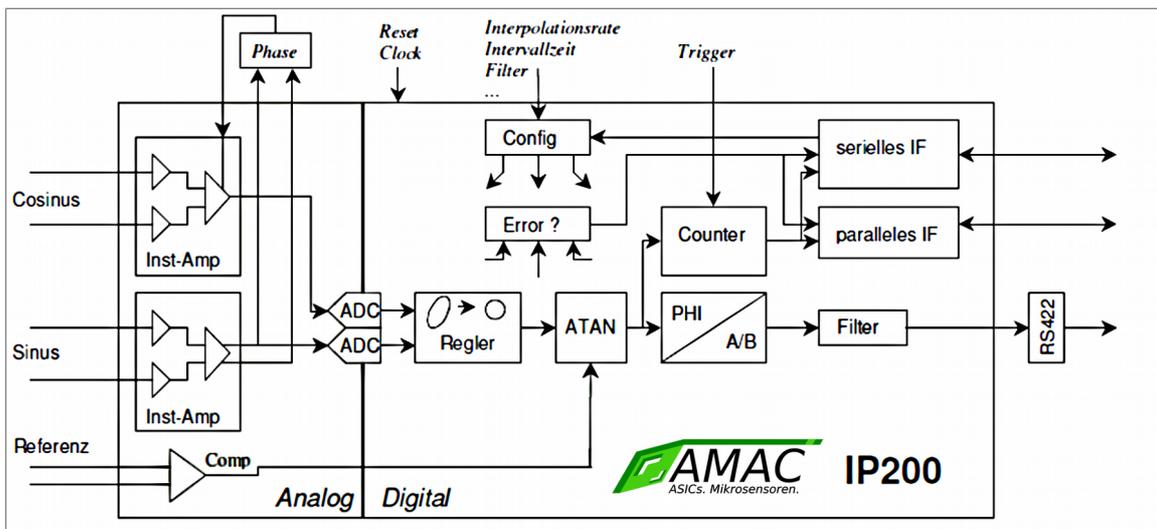


Abbildung 1: Blockschaltbild

2 Eigenschaften

Eigenschaften	
Analogeingang	3 Kanäle: Sinus- / Cosinus- / Referenzsignal Standardanschluss 1Vpp (differentiall) Eingangsfrequenz bis 400kHz
AD-Umsetzer	bis zu 1.25MS/s Single-ended Input 2.4Vpp
Signalkorrektur	Regler für Offset und Amplitude Phase über externes Potentiometer einstellbar
Interpolationsrate	200, 160, 100, 80, 50, 40, 25, 20
Ausgang für Messwerte	28 – Bit Zählwert 90° - Rechteckfolgen Fehlersignal
Konfigurationsmöglichkeiten	über Konfigurationspins über serielle Schnittstelle (SPI)
serielle Schnittstelle (SPI)	für Konfiguration und Messwertausgabe 16 Bit Synchron- / Asynchronbetrieb für Minimalsysteme nicht benötigt
Paralleler Datenausgang	für Messwertausgabe Wortbreite 16 Bit Bandbreite bis 40MBit/s
Sonstiges	Filter zur Unterdrückung des Flankenrauschens bei niedrigen Geschwindigkeiten programmierbare Intervallzeit zur Anpassung des IC an langsamere Auswerteelektronik 2-stufiger flankengesteuerter Messwerttrigger Verhalten des IC bei Sensorfehlern programmierbar
Gehäuse	TQFP64 (10mm x 10mm x 1mm) oder DIE

3 Eingangssignale

Eingangssignale für die Interpolation sind zwei analoge Spannungen (Sin / Cos) mit sinusförmiger Abhängigkeit von der Messgröße (Weg bzw. Winkel), die, bezogen auf eine Periode des Maßstabes, eine Phasenverschiebung von 90° zueinander aufweisen. Ein drittes Eingangssignal dient als Referenzpunktsignal zur Festlegung des Nullpunktes auf dem Maßstab. Alle drei Eingangssignale werden als Differenzsignale verarbeitet.

3.1 Messsystemanschluss

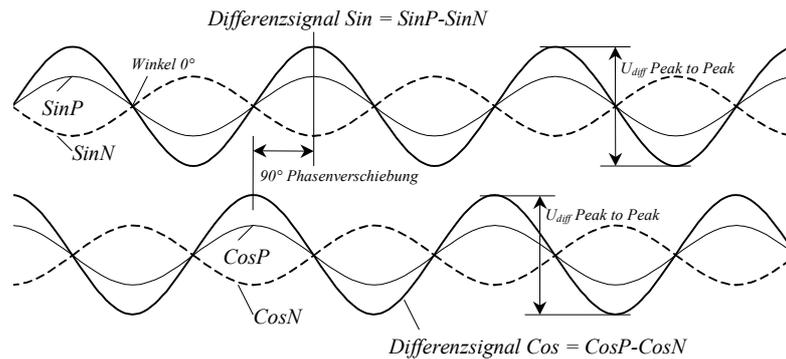


Abbildung 2: Eingangssignale

Tabelle 1: Eingangssignale differentiell

Parameter	Wert
Eingangsspannung für differentielle Einspeisung ¹⁾	500mV _{pp}
Eingangsspannung U _{Diff} (nominal)	1V _{pp}
Eingangsspannungsbereich für U _{Diff}	0.8V _{pp} ... 1.2V _{pp}
Maximaler Signal-Offset	±100mV
Phasenverschiebung Sinus/Cosinus	90° (einstellbar ±10°)

¹⁾ an jedem der Eingänge SINP, SINN, COSP, COSN

3.2 Signalkorrektur

Die Eingangssignale werden einer AMC-spezifischen internen Gain- und Offsetregelung unterzogen. Der Regelbereich für die Amplitude beträgt ±20% bezogen auf den Nominalwert, der Offset des externen Signals darf ±10% des Nominalwertes nicht überschreiten. Die Phasenabweichung der Eingangssignale kann über ein externes analog angeschlossenes Potentiometer im Bereich von ±10° korrigiert werden.

Nach einem Rücksetzen des IC werden die Korrekturwerte für Gain und Offset in die Mitte des Regelbereiches gestellt. Die volle Messgenauigkeit erreicht der IC jedoch erst nach Einschwingen der internen Signalregelung nach ca. 20 Eingangssignalperioden. Bis zu diesem Zeitpunkt darf die maximale Eingangsfrequenz nur ca. 50% der angegebenen Maximalfrequenz betragen (siehe auch Abschnitt 5.4).

Um die größtmögliche Genauigkeit der Amplituden- und Offsetregelung zu erreichen, sollte die Phase besonders bei Benutzung höherer Interpolationsraten auf den am GC-IP200 angeschlossenen Sensor abgeglichen werden. Amplituden- und Offsetfehler werden im GC-IP200 als Einheit betrachtet. Für spezielle Applikationen bedeutet dies, dass bei Verringerung eines der Fehler u.U. ein größerer zulässiger Fehler des jeweils anderen Parameters zugelassen werden kann.

3.3 Referenzsignal

Ein dritter Ausgang des Messsystems, üblicherweise bezeichnet als Referenz-, Indexpunkt- oder Nullpunktsignal, gilt als aktiviert, wenn die Differenz der Signale an den Pins REFP und REFN größer als die positive Schaltschwelle U_{RPH} wird und als deaktiviert, wenn diese Spannung kleiner als die negative Schaltschwelle U_{RPL} wird.

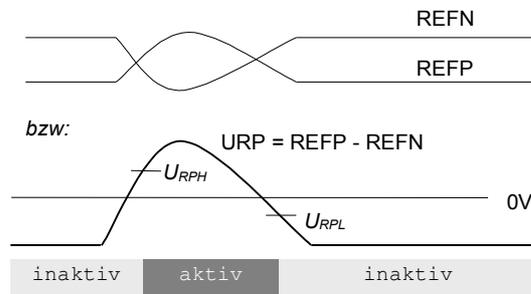


Abbildung 3: Referenzsignal

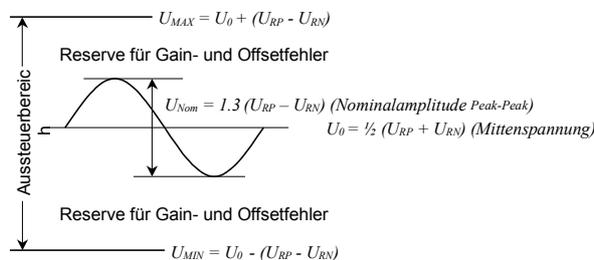
Parameter	Wert
U_{RPL} (typ.)	= -6mV
U_{RPH} (typ.)	= +6mV
Hysterese (typ.)	= 12mV

① Für Messsysteme ohne Referenzsignal muss über die Pins REFP und REFN ein definierter Zustand (immer aktiv bzw. immer inaktiv) eingestellt werden.

4 AD-Umsetzer

Der IC enthält zwei AD-Umsetzer für maximal 1.25MS/s. Falls für eine Anwendung die im GC-IP200 integrierte analoge Eingangsstufe für $1V_{pp}$ – Signale nicht ausreicht, können die Eingangssignale auch direkt an den beiden AD-Umsetzern eingespeist werden. Es werden dann zwei sinusförmige Spannungen von nominal $2.4V_{pp}$ um die Mittenspannung an U0 benötigt. Diese Mittenspannung beträgt nominal 2.375V und wird aus den Referenzspannungen des ADC abgeleitet.

4.1 Dimensionierung der Eingangsschaltung



U_{RP} : positive ADC-Referenzspannung
 U_{RN} : negative ADC-Referenzspannung

Abbildung 4: Aussteuerbereich Eingangsstufe

Folgende Pegel stehen an IC-Ausgängen zur Verfügung:

Tabelle 2: Aussteuerbereich Eingangsstufe

Parameter	Pin	Nominalwert
positive Referenzspannung (U_{RP}) Sinus-ADC	RSH	3.30V
positive Referenzspannung (U_{RP}) Cosinus-ADC	RCH	3.30V
negative Referenzspannung (U_{RN}) Sinus-ADC	RSL	1.45V
negative Referenzspannung (U_{RN}) Cosinus-ADC	RCL	1.45V
Mittenspannung für ext. Schaltungen	U0	2.375V
Nominalamplitude	U_{Nom}	2.405V
Maximalspannung	U_{MAX}	4.225V
Minimalspannung	U_{MIN}	0.525V

① Angaben über Toleranzen siehe Kennwerte

5 Digitale Betriebsarten

5.1 Ausgangssignale / Zählwert

Das Weg- / Winkelergebnis wird an der seriellen und parallelen Schnittstelle mit 28 Bit im Zweierkomplement zur Verfügung gestellt. Der Nullpunkt kann mittels der Referenzsignaleingänge REFP und REFN generiert oder über die serielle Schnittstelle gesetzt werden. Über einen Triggereingang können bis zu zwei Messergebnisse in einem Auffangregister asynchron zum Zugriff über die Schnittstellen gehalten werden.

Gleichzeitig werden die für inkrementale Messgeber üblichen, phasenverschobenen Rechtecksignale, die mittels Einfach- oder Vierfachauswertung gezählt werden können, zur Verfügung gestellt.

Ein synchroner Referenzpuls wird erzeugt, wenn der Winkel 0° (siehe auch Abbildung 2) durchlaufen wird und die analoge Differenzeingangsspannung zwischen den Referenzsignaleingängen REFP und REFN positiv ist. Wenn die Differenzeingangsspannung ständig positiv ist, wird der Referenzpuls in jeder Periode des Maßstabes einmal generiert. Ein Konfigurationsbit kann die Generierung des Referenzimpulses verhindern.

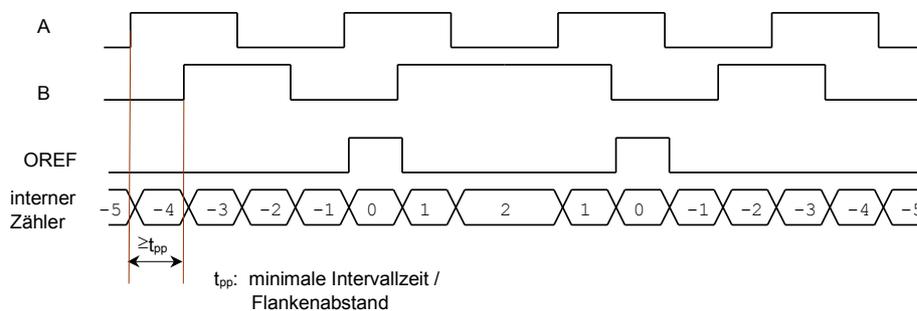


Abbildung 5: Ausgangssignale / Zählwert

① Es ist zu beachten, dass im IC GC-IP200 ein digitales Interpolationsverfahren realisiert ist. Dies hat zur Folge, dass die geschwindigkeitsproportionalen A/B-Ausgangssignale von den bei A/D-Umsetzern unvermeidbaren Quantisierungsfehlern (den sogenannten ± 1 -Fehlern) überlagert sind. Bei Einsatz des IC in analogen Regelungen muss diese ein entsprechendes Tiefpassverhalten aufweisen.

5.2 Fehlersignal

Ein Fehlersignal wird generiert, wenn die Plausibilität der Eingangssignale nicht gegeben ist. Das Fehlersignal wird weiterhin generiert, wenn die Eingangsfrequenz so groß ist, dass die Rechtecksignale nicht mehr folgen können bzw. die maximale Eingangsfrequenz überschritten wird. Die Auswertung der internen Fehlerquellen wird über ein Fehlermaskenregister aktiviert, das Verhalten der Rechteckausgänge im Fehlerfall kann mittels dieses Registers ebenfalls konfiguriert werden. Es ist möglich, die Pins NERR und NRES zu verbinden, um eine Neusynchronisation des IC im Fehlerfall zu starten.

① Wurde das Fehlersignal aktiviert bzw. eines der Fehlerbits im Ergebnisregister gesetzt, so sind das aktuelle Messergebnis und alle nachfolgenden Ergebnisse zu verwerfen. Nach Beseitigung der Fehlerursache und dem Rücksetzen der Fehlerbits ist für Absolutwertmessungen ein erneutes Überfahren des Referenzpunktes notwendig!

5.3 Interpolationsrate

Die Interpolationsrate kann zwischen 200, 160, 100, 80, 50, 40, 25 und 20 gewählt werden. Als Interpolationsrate wird hier die Anzahl der Inkremente verstanden, in die eine Sinusperiode des Eingangssignals unterteilt wird. Dies entspricht ebenfalls der Anzahl der Flankenwechsel auf den A/B-Ausgangssignalen pro Eingangssignalperiode, d.h. die Anzahl der Rechteckperioden an den Ausgängen A und B beträgt $\frac{1}{4}$ der Interpolationsrate pro Eingangssignalperiode.

① Wird an den A/B-Ausgängen ein üblicher Interpolationszähler bzw. Quadraturdecoder angeschlossen, muss dieser in der Betriebsart „Vierfachauswertung“ arbeiten, um die volle Interpolationsrate zu erreichen.

5.4 Intervallzeit / maximale Eingangsfrequenz

Die Intervallzeit (IT) bzw. der minimale Flankenabstand t_{pp} an den Ausgangssignalen kann zwischen $1/f_{osz}$ und $128/f_{osz}$ in binären Schritten eingestellt werden.

Für die Zählerbetriebsart (das Bit SPEED im CFG0-Register ist gesetzt) beträgt die maximale Eingangsfrequenz $f_{max}=f_{osz}/96$. In allen anderen Betriebsarten wird sie begrenzt durch den minimalen Impulsabstand am Ausgang. Es gilt:

$$f_{max} \leq 0.9 \cdot f_{osz} / (IR \cdot IT) < f_{osz}/96$$

f_{osz} : Frequenz am Pin XA
 IR: aktivierte Interpolationsrate
 IT: aktivierte Intervallzeit

Als Grenzwerte ergeben sich eine maximale Eingangsfrequenz von ca. 400kHz bei einem Takt von 40MHz zum einen, sowie ein garantierter Flankenabstand an den A/B-Signalen von 128µs bei einem Takt von 1MHz zum anderen. Zwischen diesen beiden Werten kann durch geeignete Wahl von Taktfrequenz und Intervallzeit der GC-IP200 an eine große Reihe spezifischer Systeme angepasst werden.

ⓁDiese Werte gelten bei abgeglichenen Phase zwischen den Eingangssignalen und nach dem Einschwingen der internen Signalregelung. Bis zu diesem Zeitpunkt darf die Eingangsfrequenz nur 50% der angegebenen Maximalfrequenz betragen.

Tabelle 3: Taktfrequenzbeispiel

f _{osz} = 40MHz - f _{maxCNT} = 400kHz															
IR	IT	t _{pp}	f _{max}	IR	IT	t _{pp}	f _{max}	IR	IT	t _{pp}	f _{max}	IR	IT	t _{pp}	f _{max}
200	1	25ns	180k	160	1	25ns	225k	100	1	25ns	360k	80	1	25ns	400k
	2	50ns	90k		2	50ns	113k		2	50ns	180k		2	50ns	225k
	4	100ns	45k		4	100ns	56k		4	100ns	90k		4	100ns	113k
	8	200ns	22.5k		8	200ns	28k		8	200ns	45k		8	200ns	56k
	16	400ns	11.3k		16	400ns	14k		16	400ns	22.5k		16	400ns	28k
	32	800ns	5.6k		32	800ns	7k		32	800ns	11.3k		32	800ns	14k
	64	1.6µs	2.8k		64	1.6µs	3.5k		64	1.6µs	5.6k		64	1.6µs	7k
	128	3.2µs	1.4k		128	3.2µs	1.8k		128	3.2µs	2.8k		128	3.2µs	3.5k
50	1	25ns	400k	40	1	25ns	400k	25	1	25ns	400k	20	1	25ns	400k
	2	50ns	360k		2	50ns	400k		2	50ns	400k		2	50ns	400k
	4	100ns	180k		4	100ns	225k		4	100ns	360k		4	100ns	400k
	8	200ns	90k		8	200ns	113k		8	200ns	180k		8	200ns	225k
	16	400ns	45k		16	400ns	56k		16	400ns	90k		16	400ns	113k
	32	800ns	22.5k		32	800ns	28k		32	800ns	45k		32	800ns	56k
	64	1.6µs	11.3k		64	1.6µs	14k		64	1.6µs	22.5k		64	1.6µs	28k
	128	3.2µs	5.6k		128	3.2µs	7k		128	3.2µs	11.3k		128	3.2µs	14k

blaugrau markierte Felder: Fehler FAST1 wird bei Geschwindigkeitsüberschreitung gemeldet
 dunkelgrau nicht markierte Felder: Fehler FAST2 wird bei Geschwindigkeitsüberschreitung gemeldet

5.5 Glitchfilter

Um ein ständiges Toggeln der nachfolgenden Zähler bei stehendem Messsystem durch analoges Rauschen der Eingangssignale zu verringern, kann ein digitales Filter für die Rechteckausgänge wahlweise zugeschaltet werden. (Pin / Bit GFE). In diesem Fall wird bei Stillstand bzw. bei kleinen Eingangsfrequenzen automatisch der minimale Flankenabstand am Ausgang (t_{pp}) auf 2048/f_{osz} eingestellt.

ⓁEs ist zu beachten, dass im Umschaltbereich zur automatischen Aktivierung / Deaktivierung dieses Filters die Geschwindigkeitsproportionalität der A/B-Ausgangssignale nicht in jedem Fall gegeben ist!

6 Schnittstellen

Über ein serielles Interface (SPI) können sowohl Messwerte aus dem internen Interpolationszähler gelesen, als auch eine Reihe von IC-Konfigurationen durchgeführt werden. Für Anwendungen in schnellen Auswertesystemen stehen die Messwerte zusätzlich an einem parallelen Ausgang mit einer Wortbreite von 16Bit zur Verfügung.

6.1 Struktur

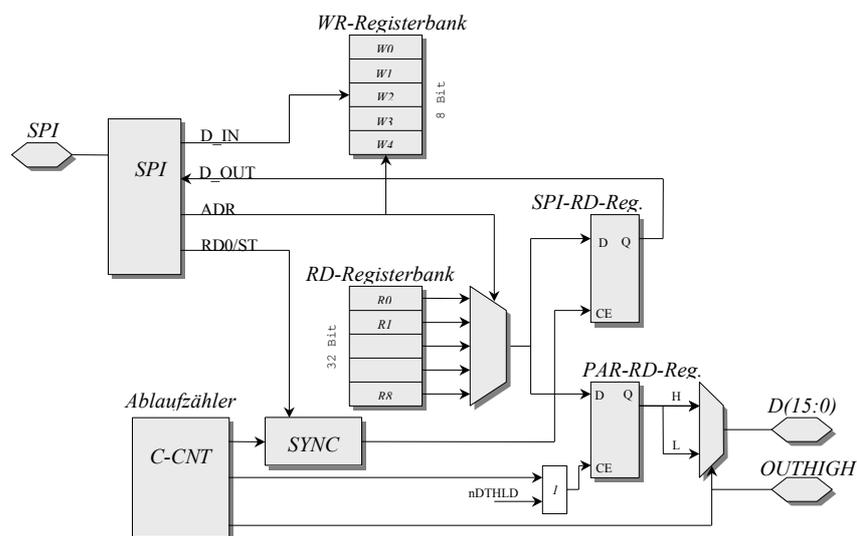


Abbildung 6: Schnittstellenstruktur

6.2 Serielle Schnittstelle (SPI)

Die serielle Schnittstelle enthält je ein 16 Bit Schieberegister für Lese- und Schreibzugriffe. Ein zusätzliches 16-Bit Haltereister dient bei Lesezugriffen zum Zwischenspeichern der beiden MSB. Ein 8-Bit Adressregister wird sowohl für Lese- als auch Schreibzugriffe verwendet. Das Schreiben in den GC-IP200 erfolgt byteorientiert, das Lesen erfolgt wortorientiert. Die Übertragung selbst erfolgt in 16 Bit Worten. Ein geschriebenes Lesekommando führt dabei im darauffolgenden Zugriff zur zugehörigen Datenausgabe. Die Ausführung eines Single-Byte-Befehls erfolgt am Ende der Datenübertragung. Es ist möglich, bis zu 16 Kanäle an dieser Schnittstelle zu betreiben. Die Festlegung der Hardwareadresse des IC erfolgt dabei durch Lesen der Pins DP(3:0) mittels eines speziellen Kommandos.

6.2.1 Signale

Der GC-IP200 ist ein Slave, der empfangene Kommandos und Daten auswertet, aber keine Kommunikation starten kann. Das SPI-Protokoll wird über 4 Leitungen ausgeführt:

SDI	Dateneingang
SDO	Datenausgang (open Drain), SDO dient auch als RDY-Signal
SCLK	Takt
SEN	Enable

① Das verwendete SPI-Protokoll des GC-IP200 ist nicht kompatibel zu den gängigen Microcontroller- bzw. DSP-Familien.

Jeder Transfer wird durch das Senden eines Kommandos (s. u.) eingeleitet. Dazu wird SEN über 16 Takte SCLK auf L gehalten. Die Eingangsdaten an SDI werden zur steigenden Flanke von SCLK ausgewertet. Gleichzeitig wird mit jeder steigenden Flanke an SCLK das Schieben der Daten des Haltereisters ausgelöst.

SPI - Zugriff:

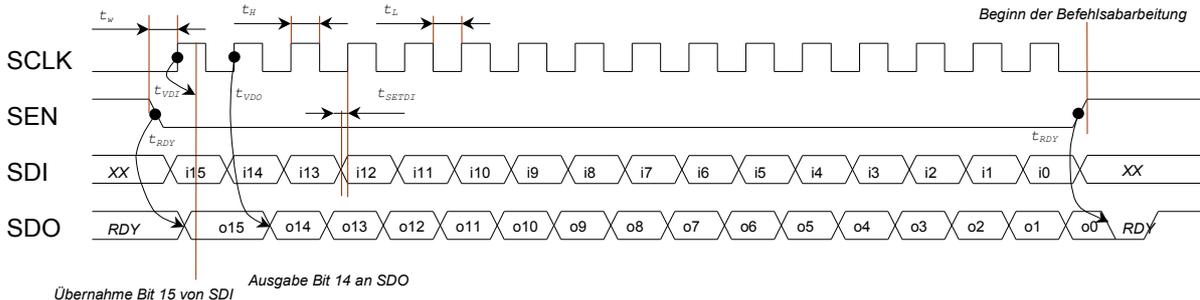


Abbildung 7: SPI Timing

Tabelle 4: Kennwerte SPI

Name	Min	Max	Bedeutung
t _H	2 x T _{OSZ} + 15 ns		SPI-Takt, H-Zeit
t _L	2 x T _{OSZ} + 15 ns		SPI-Takt, L-Zeit
t _w	1 x T _{OSZ} + 15 ns		Wartezeit zwischen SEN fallend und SCLK steigend
t _{RDY}	3 x T _{OSZ} + 15 ns	4 x T _{OSZ} + 15 ns	Umschaltverzögerung RDY / SDO ab SEN
t _{VDI}		15 ns	Zeit zwischen SCLK steigend und Datenübernahme
t _{SETDI}	1 x T _{OSZ} + 15 ns		Setupzeit SDI vor SCLK
t _{VDO}	4 T _{OSZ} + 15 ns	5 T _{OSZ} + 15 ns	Zeit zwischen SCLK steigend und Datenausgabe

6.2.2 Protokoll

Tabelle 5: SPI Protokoll

Bit –Nr. am Signal SDI															Bezeichnung	Beschreibung	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1			0
0	X	0	0	X	X	X	X	X	X	X	X	X	X	X	X	RES	reserviert
0	nB ²⁾	0	1	H3 ²⁾	H2 ²⁾	H1 ²⁾	H0 ²⁾	A7	A6	A5	A4	A3	A2	A1	A0	WRA	Schreibe Adresse
0	nB ²⁾	1	0	H3 ²⁾	H2 ²⁾	H1 ²⁾	H0 ²⁾	D7	D6	D5	D4	D3	D2	D1	D0	WRD	Schreibe Daten
0	nB ²⁾	1	1	H3 ²⁾	H2 ²⁾	H1 ²⁾	H0 ²⁾	C7	C6	C5	C4	C3	C2	C1	C0	WRC	Schreibe Befehl
1	nB ²⁾	0	0	H3 ²⁾	H2 ²⁾	H1 ²⁾	H0 ²⁾	A7	A6	A5	A4	A3	A2	A1	A0	RD0/ST	Lese Byte 0 + 1 (LSB) ¹⁾
1	nB ²⁾	0	1	H3 ²⁾	H2 ²⁾	H1 ²⁾	H0 ²⁾	X	X	X	X	X	X	X	X	RD1	Lese Byte 2 + 3 (MSB)
1	nB ²⁾	1	X	H3 ²⁾	H2 ²⁾	H1 ²⁾	H0 ²⁾	X	X	X	X	X	X	X	X	NOP	Ausgabe des Leseregisters

¹⁾ Mit diesem Kommando erfolgt die Übernahme der internen Daten in ein 32-Bit Haltereister

²⁾ In einkanaligen Systemen diese Bits auf ‚0‘ setzen

Bit	Bezeichnung	Beschreibung
nB	Broadcast-Mode (Low-Aktiv)	0: Befehl an alle Kanäle (nur für WRA/WRD/WRC)
		1: Befehl an den in H(3:0) adressierten Kanal
H(3:0)	Hardwareadresse	GC-IP200-Kanaladresse für Einzelzugriffe (nB=1) Default: 0x00
A(7:0)	Registeradresse	GC-IP200-Registeradresse
C(7:0)	Kommando	Single-Wort-Befehl
D(7:0)	Datenwort	Schreibdaten (Gelesene Daten erscheinen an SDO)

Kommandowort –Beispiele

Setze Adressregister in allen angeschlossenen Kanälen auf 0x01:	0x1001
Schreibe Daten 0x48 in Kanal 0x04:	0x6448
Lese L-Wort von Register 0x07, nur ein IC ist vorhanden:	0x8007
Konfiguration der Hardwareadresse in allen angeschlossenen Kanälen	0x3000

6.2.3 Synchron- / Asynchronbetrieb

Lese-Daten werden mit dem Kommando RD0/ST in das Haltereister übernommen. Dies geschieht bei Gleichstand des internen Ablaufzählers und dem SYNC-Register (Synchronbetrieb) bzw. bei gesetztem ASYNC-Bit (Asynchronbetrieb). Das Pin SDO ist während der Wartezeit Low. (Bedeutung RDY) .

In der synchronen Betriebsart der SPI können die Ausgangsdaten einem Abtastzeitpunkt zugeordnet werden. Es ist möglich, äquidistante Messungen durchzuführen. (siehe auch Applikationsbeispiel). In der asynchronen Betriebsart werden höhere Übertragungsgeschwindigkeiten erreicht.

Beispiel 32-Bit – Lesezugriff synchron zum internen Ablaufzähler

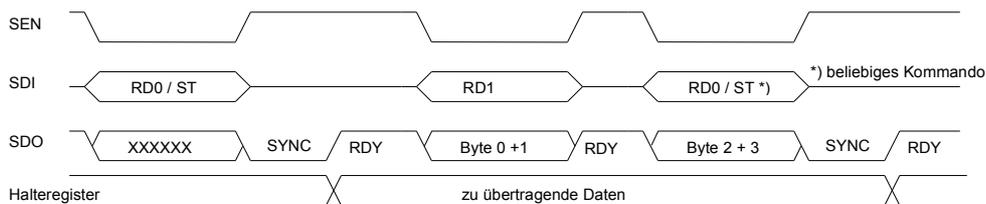


Abbildung 8: SPI Lesezugriff 32 Bit

Beispiel 16-Bit – Lesezugriff asynchron, 3 Kanäle

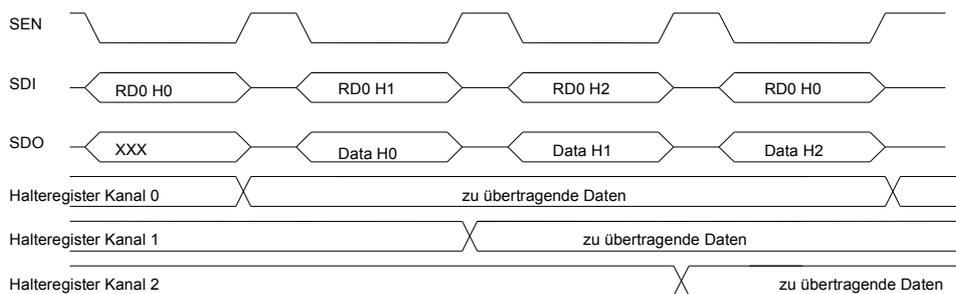


Abbildung 9: SPI Lesezugriff 16 Bit – 3 Kanäle

Beispiel Schreibzugriff 1 Kanal

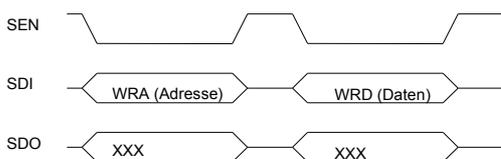


Abbildung 10: SPI Schreibzugriff

Beispiel Kommandoausführung 1 Kanal

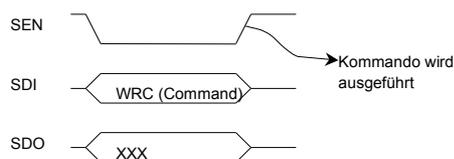


Abbildung 11: SPI Kommandozugriff

6.3 Paralleler Datenausgang

Das zuletzt aktivierte SPI-Leseregister kann an dieser Schnittstelle mit je zwei 16-Bit Worten synchron zum internen Ablaufzähler ausgegeben werden. Standardmäßig (Resetzustand) liegen die Daten von SPI-Leseadresse 0x00(MVAL)an DATA(15:0)an.

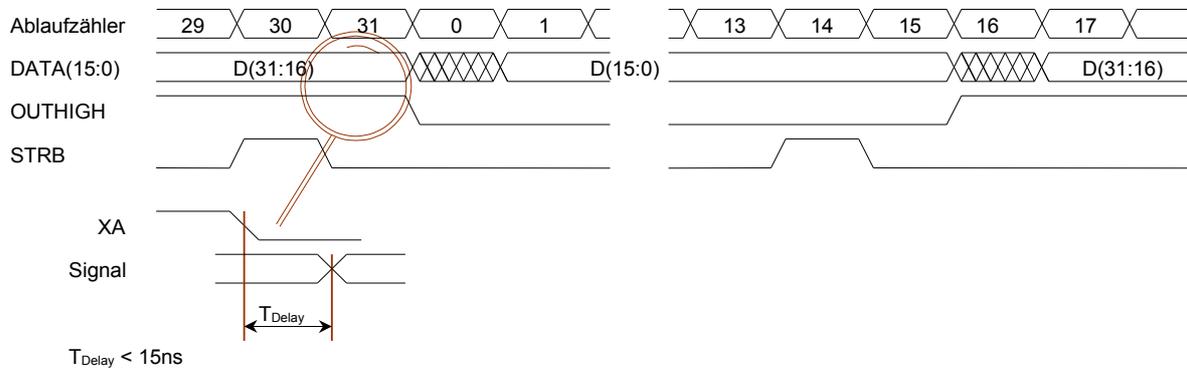


Abbildung 12: Timing Paralleler Datenausgang

Zur Verringerung von Störungen im Umschaltmoment werden die Datenausgänge DATA(15:8) einen Takt nach den Ausgängen DATA(7:0) geschaltet, aus diesem Grund ist der Wert an DATA(15:0) in den Takten 0 und 16 undefiniert! Extern an dieser Schnittstelle angeschlossene Komponenten können ihre Datenübernahme mittels der Flanken an OUTHIGH steuern. Der Pegel an OUTHIGH zeigt an, ob im Moment die LSB oder die MSB an den Datenpins anliegt. Ein zusätzliches Strobe-Signal am Pin OREF kann über das Bit TSTRB im Register TSTCFG aktiviert werden.

① Zur Änderung der Adresse des Leseregisters zur Ausgabe an der Parallelschnittstelle ist ein SPI-Lesebefehl notwendig. Jeder andere SPI-Zugriff kann das Verhalten der Parallelschnittstelle ändern! Soll der parallele Ausgang als alleinige Schnittstelle benutzt werden, so ist die Beschaltung der Konfigurationpins und doppelt genutzten Pins entsprechend zu wählen. Siehe hierzu auch die Applikationshinweise im Dokument 4300x-AN-3-0-D-IPx.pdf.

7 Register

Der GC-IP200 beinhaltet 16- und 32-Bit Leseregister sowie 8-Bit Schreibregister. Die Adresszuordnung erfolgt getrennt nach Lese- und Schreibregistern. Ein dritter Adressraum ist für Kommandos reserviert.

7.1 Leseregister

Tabelle 6: Leseregister

Adresse	Bedeutung	Byte 3	Byte 2	Byte 1	Byte 0
0x00	Messwert / Status	MVAL			
0x01	Konfiguration / Status	ERRMASK	CFG1	CFG0	STAT
0x03	Interpolationsergebnis	DPHI		PHI	
0x04	Regler Sinus			SOFF	SGAIN
0x05	Regler Cosinus			COFF	CGAIN
0x07	Zählwert / Status	CNT			

7.2 Schreibregister

Tabelle 7: Schreibregister

Adresse	Bedeutung	Name
0x00	Konfiguration	CFG0
0x01	Konfiguration	CFG1
0x02	Konfiguration	ERRMASK
0x03	SPI-Synchronisation	SYNC
0x04	Konfiguration IC-Test	TSTCFG
0x07	Regler Sinus (Gain)	SGAIN
0x08	Regler Sinus (Offset)	SOFF
0x09	Regler Cosinus (Gain)	CGAIN
0x0A	Regler Cosinus (Offset)	COFF

7.3 Kommandos

Tabelle 8: Kommandos

Command	Bedeutung	Beschreibung
0x00	Kanal	Die Hardwareadresse wird von den Pins DP(3:0) gelesen. Dieses Kommando muß immer als Broadcast-Kommando durchgeführt werden. In Mehrkanalsystemen muss dieses Kommando als erster Befehl nach einem Global-Reset gesendet werden!
0x01	Reset Count	Der Parallelzähler wird rückgesetzt, das Fehlerregister wird gelöscht Die Werte der Triggerhalterregister bleiben erhalten.
0x02	Reset Regler	Die Regler für Gain- und Offset werden in die Mitte gestellt.

7.4 Kodierung

MVAL	Messwert / Status
Leseadresse	0x00
Resetwert	0x00

31:4	3	2	1	0
CNT	FAST1	SENSERR	TRGOVL	FROZEN

CNT	Zählwert bzw. Wert aus Triggerregister (28 Bit – Zweierkomplement)
FAST1	Geschwindigkeitsfehler
SENSERR	Sensor-Fehler (ADC-Übersteuerung, Abriß-, Gain- oder Offsetfehler)
TRGOVL	Triggerüberlauf
FROZEN	0 CNT enthält aktuellen Zählwert 1 CNT enthält ältesten gespeicherten Triggerwert

ⓘ Zur Bedeutung der einzelnen Bits siehe auch Abschnitte 8 und 9.

Beispiele:

0x00004200	Messwert 0x00000420 ist aktueller Zählwert
0x00004201	Messwert 0x00000420 aus Triggerregister, kein Fehler
0x00004203	Messwert 0x00000420 aus Triggerregister, mindestens ein Triggerereignis ging verloren
0x00004204	Sensorfehler, Messwert ungültig
0x00004205	Sensorfehler, Messwert ungültig

CNT	Zählwert / Status
Leseadresse	0x07
Resetwert	0x00

31:4	3	2	1	0
CNT	GCOMP	OCOMP	AMPERR	FAST1

CNT	Zählwert (28 Bit – Zweierkomplement)
FAST1	Geschwindigkeitsfehler
AMPERR	Sensor-Fehler (ADC-Übersteuerung oder Sensorabriß)
OCOMP	Offset-Fehler
GCOMP	Gain-Fehler

ⓘ Zur Bedeutung der einzelnen Bits siehe auch Abschnitte 8 und 9.

STAT	Status
Leseadresse	0x01 (Byte 0)
Resetwert	0x00

7:6	5	4	3	2	1	0
TR (1:0)	Fast2	Fast1	ADCOVL	BQLO	OCOMP	GCOMP

GCOMP	Gainfehler
OCOMP	Offsetfehler
BQLOW	Sensorabriß
ADCOVL	DC-Übersteuerung
FAST1	Geschwindigkeitsfehler (Zähler und A/B-Signal)
FAST2	Geschwindigkeitsfehler (A/B-Signal)
TR (1:0)	Status der Triggerhaltereregister

ⓘ Zur Bedeutung der einzelnen Bits siehe auch Abschnitte 8 und 9.

PHI Interpolationsergebnis – Phasenwinkel

Leseadresse 0x03 (Byte 1/0)



PHI Signalphase (vorzeichenlos binär)
 Skalierung: 0 ... 200 = 0°... 360°, falls IR(2) = 1
 0 ... 160 = 0°... 360°, falls IR(2) = 0

DPHI Interpolationsergebnis – Phasenwinkeländerung

Leseadresse 0x03 (Byte 3/2)



DPHI Signalphasenänderung (Zweierkomplement)
 Skalierung: -100 ... +100 = -180°... +180°, falls IR(2) = 1
 Skalierung: -80 ... +80 = -180°... +180°, falls IR(2) = 0

CFG0 Konfigurationsregister 0

Leseadresse 0x01 (Byte 1)
 Schreibadresse 0x00
 Resetwert Konfigurationspins werden gelesen (IT0=0)



IR(2:0)	Interpolationsrate	Rechteckperioden A/B	IT(2:0)	Intervallzeit t_{pp} in $1/f_{osz}$
000	160	40	000	1
001	80	20	001 ^{*)}	2
010	40	10	010	4
011	20	5	011 ^{*)}	8
100	200	50	100	16
101	100	25	101 ^{*)}	32
110	50	12½	110	64
111	25	6¼	111 ^{*)}	128

^{*)} nur über SPI wählbar

- GFE 0 Glitchfilter deaktiviert
- 1 Glitchfilter aktiviert
- SPEED 0 Geschwindigkeitsüberwachung für A/B – Ausgänge
- 1 Geschwindigkeitsüberwachung für internen Zähler

ⓘ Zur Initialisierung der Bits GFE und SPEED werden während des Resetablaufs die doppelt genutzten Pins SDI und TRG verwendet. Das Bit IT0 kann nur über die serielle Schnittstelle eingestellt werden. Siehe dazu auch GC-IP200-Applikationshinweise.

CFG1 Konfigurationsregister 1

Leseadresse 0x01 (Byte 2)
 Schreibadresse 0x01
 Resetwert 0x00



*) Bits dürfen nicht geändert werden, um die korrekte Funktion des IC zu garantieren!!!

DISREG
 0 interne Signalregelung aktiviert
 1 interne Signalregelung deaktiviert

TRSLP
 0 Triggerflanke an Pin TRG fallend
 1 Triggerflanke an Pin TRG steigend

DISREF
 0 Referenzpunktverarbeitung aktiviert
 1 Referenzpunktverarbeitung deaktiviert

ERRMASK Fehlermaskenregister

Leseadresse 0x01 (Byte 3)
 Schreibadresse 0x02
 Resetwert 0x3F



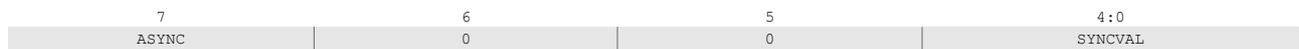
GCOMP Freigabe Gainfehlererkennung
OCOMP Freigabe Offsetfehlererkennung
BQLOW Freigabe Sensorabrisserkennung
ADCOVL Freigabe Übersteuerungserkennung
FAST1 Freigabe Geschwindigkeitsüberwachung (Zähler und A/B-Signal)
FAST2 Freigabe Geschwindigkeitsüberwachung (A/B-Signal)
HOLD Deaktivierung der Rechteckausgänge im Fehlerfall
LATCH Speicherung der Fehlerzustände

zur Bedeutung der einzelnen Bits siehe auch Abschnitt 9.

① Für Rechteckbetrieb wird ein Wert von 0x3F bzw. 0xFF im Fehlermaskenregister empfohlen, für die Zählerbetriebsart ein Wert von 0xDF bei gesetztem SPEED-Bit im CFG0-Register.

SYNC SPI-Synchronisationsregister

Schreibadresse 0x03
 Resetwert 0x00

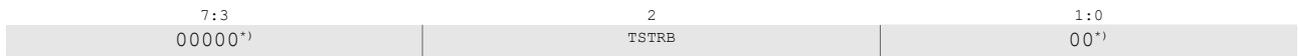


ASYNC0 Übernahme der Lesedaten mit SPI-RD0/ST bei nächstem Gleichstand von Ablauf-Zähler und SYNCVAL
 1 Übernahme der Lesedaten immer mit SPI-RD0/ST

SYNCVAL SPI-Synchronisationstakt

Zur Bedeutung der einzelnen Bits siehe auch Abschnitt 6.2.3.

TSTCFG	Konfiguration IC-Test
Schreibadresse	0x04
Resetwert	0x00



^{*)} Bits dürfen nicht geändert werden, um die korrekte Funktion des IC zu garantieren!!!

TSTRB	0	Pin OREF ist als Referenzpunktausgang konfiguriert
	1	Pin OREF ist als Strobe-Signal für parallele Schnittstelle konfiguriert

SGAIN	Gainkorrekturwert Sinus
CGAIN	Gainkorrekturwert Cosinus
Leseadressen	0x04 / 0x05 (Byte 0)
Schreibadressen	0x07 / 0x09
Resetwert	0x80



GAIN	aktueller Wert der Gainkorrekturregister (vorzeichenlos binär)	
	Skalierung:	
	0x00	Faktor 0.5
	0x80	Faktor 1
	0xFF	Faktor 1.5

SOFF	Offsetkorrekturwert Sinus
COFF	Offsetkorrekturwert Cosinus
Leseadressen	0x04 / 0x05 (Byte 1)
Schreibadressen	0x08 / 0x0A
Resetwert	0x00



OFFSET	aktueller Wert der Offsetkorrekturregister (Zweierkomplement)	
	Skalierung:	
	0x80	maximaler Offset negativ (-25% ADC-Maximal)
	0x00	kein Offset
	0x7F	maximaler Offset positiv (+25% ADC-Maximal)

Ⓜ Schreibzugriffe auf die Register SOFF/COFF/SGAIN/CGAIN dienen zur Voreinstellung – diese Register werden ständig von der internen Signalregelung aktualisiert. Der angegebene Skalierungsfaktor gilt für das Verhalten des Korrekturregisters, er beschreibt nicht den maximal möglichen Signalfehler.

8 Messwerttrigger

Mit einer Signalflanke am Pin TRG/GFE wird der aktuelle Zählwert in eines von zwei Triggerhalterregistern übernommen. Die aktive Triggerflanke kann mit dem Konfigurationsbit TRGSLP (Register CFG1) eingestellt werden.

Bei Lesezugriffen auf das Messwertregister (MVAL) wird jeweils der „älteste“ Wert aus den Triggerhalterregistern ausgegeben. Ist kein Wert in einem der beiden Register gespeichert, erscheint der aktuelle Zählerstand. Es ist möglich bis zu zwei Triggerereignisse aufzufangen, nachfolgende Ereignisse werden dann allerdings solange ignoriert, bis beide Triggerregister ausgelesen wurden. Treten in diesem Zeitraum weitere Trigger auf, wird das Bit TRGOVL im Register MVAL gesetzt.

Erfolgt das Lesen der Messwerte über SPI, so wird bei jedem Zugriff auf das Messwertregister (MVAL) ein Triggerhalterregister wieder freigegeben. Ein erneutes Triggern ist erst möglich, wenn das Triggerhalterregister 1 keinen gespeicherten Messwert enthält (TR1=0). Wird zum Lesen des Zählwertes ausschließlich der parallele Datenausgang genutzt, muss über das Pin CLRTRG ein gelesenes Triggerhalterregister bestätigt werden.

In Bit FROZEN des Messwertregisters (MVAL) kann abgelesen werden, ob der gelesene Wert aus einem Triggerhalterregister stammt (FROZEN=1), oder der aktuelle Zählwert ausgegeben wurde (FROZEN=0). Im Statusregister (STAT) ist in den Bits TR(1:0) die Belegung der Triggerhalterregister kodiert.

Tabelle 9: Konfiguration Messwerttrigger

TR(1:0)	TRGOVL	FROZEN	Wert in MVAL	nächstes Triggerereignis
00	0	0	aktueller Zählwert	Speicherung in Triggerhalterregister 0
01	0	1	Triggerhalterregister 0	Speicherung in Triggerhalterregister 1
10	0	1	Triggerhalterregister 1	keine Speicherung, TRGOVL wird gesetzt
11	0	1	Triggerhalterregister 0	keine Speicherung, TRGOVL wird gesetzt
10	1	1	Triggerhalterregister 1	keine Speicherung, da TRGOVL gesetzt
11	1	1	Triggerhalterregister 0	keine Speicherung, da TRGOVL gesetzt

① Für Anwendungen, die eine schnelle Reaktion auf Triggerereignisse und zusätzlich eine hohe Datenrate an der seriellen Schnittstelle benötigen, kann es günstig sein, nur die 16 LSB des Messwertregisters (MVAL) auszulesen, um zu testen, ob ein Triggerereignis stattgefunden hat.

9 Fehlererkennung

Im IC gibt es 6 Quellen zur Erzeugung des Fehlersignals. Jede Quelle kann mit dem zugehörigen Bit im Fehlermaskenregister aktiviert werden. Bei aktiviertem Bit LatchErr werden die einzelnen Fehlersignale bis zum nächsten Reset bzw. zum nächsten SPI-Befehl ResetCount (Command 0x01) gespeichert. Die ODER-Verknüpfung der so maskierten bzw. gespeicherten Fehlersignale wird am Pin NERR L-aktiv zur Verfügung gestellt. Bei aktiviertem Bit HoldErr verändern sich in diesem Fall die Ausgänge A, B und OREF nicht mehr. Es ist möglich, die Pins NERR und NRES zur Neusynchronisation des IC im Fehlerfall zu verbinden. In diesem Fall ist das Fehlersignal 8 Systemtakte lang aktiv.

Tabelle 10: Fehlermaskenregister

Bit	Bedeutung
GCOMP	der Gainregler ist an seiner Regelgrenze angelangt
OCOMP	der Offsetregler ist an seiner Regelgrenze angelangt
BQLOW	Amplitudenfehler: der aus Sinus und Cosinus resultierende Vektor ist zu klein
ADCOVL	einer der AD-Wandler ist übersteuert.
FAST1	Eingangsfrequenz zu hoch, keine Richtungserkennung mehr möglich (SPEED=1) Eingangsfrequenz zu hoch, A/B – Signale können nicht gebildet werden (SPEED = 0)
FAST2	Eingangsfrequenz zu hoch, Rechteckausgänge können nicht mehr folgen (abhängig von IT(2:0), siehe auch Tabelle in Abschnitt 5.4)
HoldErr	Ausgangssignale werden im Fehlerfall nicht geändert
LatchErr	maskiertes Fehlersignal wird bis zum SPI-Befehl 0x01 bzw. Reset gespeichert

① Für Rechteckbetrieb wird ein Wert von 0x3F (Default) bzw. 0xFF im Fehlermaskenregister empfohlen, für die Zählerbetriebsart ein Wert von 0xDF bei gesetztem SPEED-Bit im Register CFG1.

Im Statusregister (STAT) können alle Fehlerbits gelesen werden. In den Registern MVAL und CNT sind die für die Zählerbetriebsart relevanten Signale zusammengefasst:

SENSERR = ADCOVL oder BQLOW oder OCOMP oder GCOMP

AMPERR = ADCOVL oder BQLOW

Sensorabrissfehler:

Teilweises bzw. vollständiges Abreißen des angeschlossenen Sensors wird im GC-IP200 im Moment des Eintretens erkannt. Danach versucht die Signalregelung diese Fehler auszugleichen, was aufgrund des großen Wertebereiches der Signalkorrekturregister dazu führen kann, dass diese Fehlerursache scheinbar nicht mehr vorhanden ist.

10 Reset / Konfiguration

Der IC enthält keine eigene Power-On-Reset-Schaltung! Es ist in jedem Fall erforderlich, ein externes Resetsignal am Pin NRES anzulegen. Dieses sollte bis mindestens 3ms nachdem VDD 4.75V überschreitet, L-Pegel besitzen.

Sind NRES und NERR miteinander verbunden, wird das Fehler-Signal von der „NERR-Kette“ solange gehalten, wie eines dieser Flip-Flops eine ‚0‘ enthält.

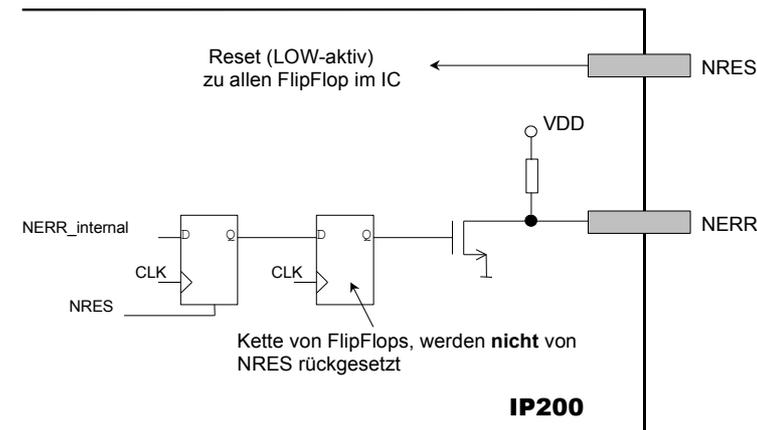


Abbildung 13: NRES / NERR

10.1 Resetablauf

1. Pin SDO/RDY schaltet auf L, alle Register werden mit Default-Werten initialisiert.
2. Selbstkalibrierung des IC wird durchgeführt, die Konfigurationsspins werden in das CFG0-Register übertragen.
3. Start der normalen Operation des IC.
4. Pin SDO/RDY schaltet auf H (externer Pull-Up notwendig).
5. die Konfigurationsregister können mittels SPI geändert werden.

Die Zeit zwischen steigender Flanke an NRES und steigende Flanke an SDO/RDY, d.h. dem Ende des Resetvorgangs, beträgt ca. 1365 Systemtakte.

10.2 Konfiguration

Es sind zwei grundlegende Konfigurationsarten möglich:

Konfiguration über Pins

Das Register CFG0 wird über die Pins IR(2:0), IT(2:1), TRG/GFE und SDI/SPEED konfiguriert
Alle anderen Register werden mit Defaultwerten beschrieben.
Geeignet für Single-Chip-Anwendungen sowie Standardanwendungen

Konfiguration über SPI

Pins DP(3:0) wählen SPI-Hardwareadresse (nur für Mehrkanalsysteme)
Geeignet für Anwendungen mit SPI-Schnittstelle z.B. für µController

10.3 Defaultwerte der Konfigurationsbits

Tabelle 11: Defaulteinstellung der Konfigurationsbits

Name	Bedeutung	Default
IR(2:0)	Interpolationsrate	Pin IR(2:0) wird gelesen
IT(2:1)	Intervallzeit	Pin IT(2:1) wird gelesen
IT(0)	Intervallzeit	0
GFE	Glitch-Filter-Enable	Pin TRG/GFE wird gelesen
SPEED	Speed-Mode für internen Zähler	Pin SDI/SPEED wird gelesen
DISREG	Signal-Regler Disable	0
DISREF	Referenzpunkt-Disable	0
TRSLP	Triggerflanke	0
TSTSTRB	Strobe-Signal an Pin OREF	0
ERRMASK	Fehlermaskenregister	0x3F
SGAIN	Startwert Verstärkungskorrektur Sinus	0x80
SOFF	Startwert Offsetkorrektur Sinus	0x00
CGAIN	Startwert Verstärkungskorrektur Cosinus	0x80
COFF	Startwert Offsetkorrektur Cosinus	0x00
SYNC	Synchronisierung der SPI mit interner Ablaufsteuerung	0x00

11 Verzögerungszeit

Die Verzögerungszeit zwischen Abtastzeitpunkt der analogen Eingangssignale (Sinus/Cosinus) und Bereitstellung des interpolierten Messwertes beträgt 90 Systemtakt. In den Datenregistern der parallelen bzw. seriellen Schnittstelle steht das Messergebnis mit einer Gesamtverzögerungszeit von 96 Systemtakt zur Verfügung. Bei Verwendung eines externen Zählers an den Ausgängen A und B beträgt die Verzögerungszeit insgesamt 122 Systemtakt.

Am parallelen Datenausgang erscheint alle 32 Systemtakt ein neuer Messwert, Es ist zu beachten, dass sich die Übertragungszeit der jeweiligen Datenschnittstelle an die Signallaufzeit anschließt.

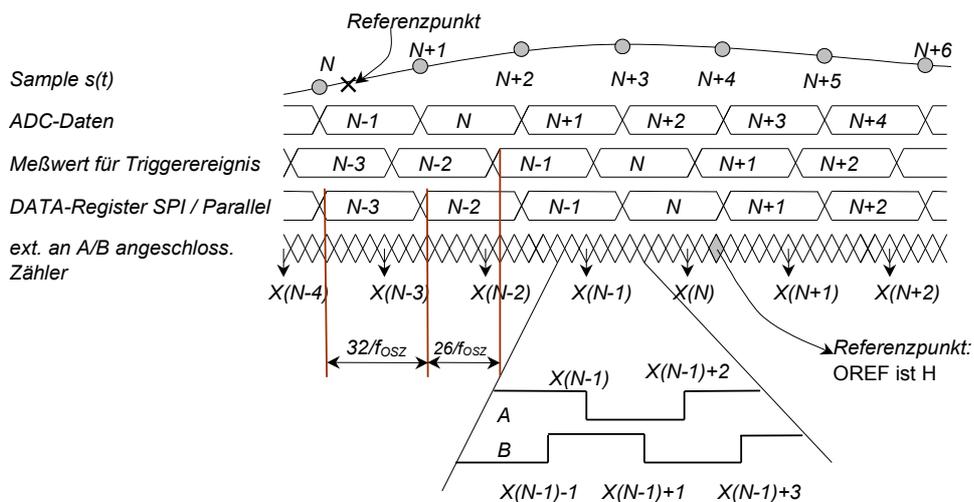


Abbildung 14: Verzögerungszeit

ⓘ Es ist zu beachten, dass die konstante Verzögerungszeit des IC (wie in jedem digitalem System) dazu führt, dass sich eine frequenzabhängige Phasenverschiebung zwischen den analogen Eingangssignalen und den Ausgangssignalen ergibt. ($d^C = 2 \cdot f \cdot t$).

12 Elektrische Kennwerte

Tabelle 12: Absolute Grenzwerte

Grenzwerte	Min.	Typ	Max	Einheit
Betriebsspannung VDD	0.3		7	V
Temperatur ¹⁾	-55		125	°C
Lagertemperatur	-55		155	°C
ESD-Festigkeit			1	kV

¹⁾ mit definierter Beschaltung

Ein Überschreiten dieser Parameter kann zu Beschädigungen des IC führen; gleichzeitige Beanspruchung mit max. Betriebsspannung und max. Temperatur ist zu vermeiden.

Tabelle 13: Betriebsbedingungen

Betriebsbedingungen	Min.	Typ	Max	Einheit
Betriebsspannung Analog / Digital	4.75	5.0	5.25	V
Stromaufnahme analog (@20°C)		20	35	mA
Stromaufnahme digital (@33MHz & 20°C)		40		mA
Takt Low-Zeit / High-Zeit	12.5 ¹⁾		500	ns
Taktfrequenz	1		40 ¹⁾	MHz
Betriebstemperatur	-20		85	°C
Digitale Eingangsspannungen V_IL	0		0.3 x VDD	V
Digitale Eingangsspannungen V_IH	0.7 x VDD		VDD	V
Digitale Ausgangsspannungen V_OL ²⁾	0		0.8	V
Digitale Ausgangsspannungen V_OH ²⁾	2		VDD	V
Quarz ³⁾ an XA und XB				
interne Kapazität an XA und XB		6		pF
Power-On-Zeit			3	ms

¹⁾ Bei Einsatz eines Quarzes zur Taktversorgung darf minimale Takt-Low/High-Zeit im gesamten Temperaturbereich nicht unterschritten werden.

²⁾ Quarz in Grundwellenmode

³⁾ I_{out} max. 4mA

Tabelle 14: Kennwerte Interpolation

Interpolation	Min.	Typ	Max	Einheit
Eingangsfrequenz	0		f _{osz} / 96	kHz
Amplitudenregelung		±20%		bez. Auf Nominal
Offsetregelung		±10%		
Interpolationsrate	20 / 25 / 40 / 50 / 80 / 100 / 160 / 200			
minimale Intervallzeit A/B – Signal	1 / f _{osz}		128 / f _{osz}	ns
Interpolationsgenauigkeit @ I-Rate = 200, f<100kHz		±0.7	±1.2	Ink.
Interpolationsgenauigkeit @ I-Rate = 200, 250kHz<f		±2		Ink.
Verzögerungszeit (Parallelzähler)		90 / f _{osz}		ns
Verzögerungszeit (Rechteckausgänge)		122 / f _{osz}		ns
Referenzpunktlage bezogen auf Sin		0°		
Datenrate Parallelausgang (DWORDS, 32 Bit)		f _{osz} / 32		MHz
Pulsbreite an TRG bzw. CLRTRG	4 / f _{osz} + 15			ns
Zeitkonstante Glitchfilter		2048 / f _{osz}		ns

Tabelle 15: Kennwerte analog

Analoger Eingangsteil	Min.	Typ	Max	Einheit
Eingangsspannungsbereich Analogpins ¹⁾	0		VDD-1.2	V
Eingangsstrom Analogpins ¹⁾			< 1	µA
Eingangsimpedanz Analogpins ¹⁾		6pF 1GOhm		
Eingangsfrequenz Analogteil (< 1dB Dämpfung)			400	kHz
Phasenverschiebung zwischen SIN und COS @100kHz			0.5	°
Amplitude SINN ↔ SINP / COSN ↔ COSP	0.8	1.0	1.2	V _{pp}
Common-ModePegel SINN ↔ SINP / COSN ↔ COSP	1.5	V _{cc} / 2	V _{cc} - 1.5V	V
CMRR (< 5Hz)	66			dB
PSRR (< 5Hz)	66			dB
Eingangsimpedanz		1GOhm 8pF		
kapazitive Last an OUTS/OUTC @ R _s = 510Ohm			1	nF
kapazitive Last an OUTS/OUTC @ R _s > 2kOhm			10	µF
Ausgangsstrom an U0	-100		100	µA
Phasenkorrektur	±10.5	±11.3	±12	°
Schaltsschwelle Referenzpunkt	-6	0	6	mV
Hysterese Referenzpunktkomparator	8	12	20	mV

¹⁾ an den Pins SINP, SINN, COSP, COSN, REFP, REFN, INPS und INPC

Tabelle 16: Kennwerte ADC

ADC	Min.	Typ	Max	Einheit
Eingangsimpedanz		100MΩ 20pF		
Mittenspannung für ext. Schaltungen	2.325	2.375	2.425	V
Referenzspannung positiv Sinus-ADU RSH	3.22	3.3	3.42	V
Referenzspannung positiv Cosinus-ADU RCH	3.22	3.3	3.42	V
Referenzspannung negativ Sinus-ADU RSL	1.39	1.45	1.53	V
Referenzspannung negativ Cosinus-ADU RCL	1.39	1.45	1.53	V
Signal-Amplitude (Direkteinspeisung)		2.4		V _{pp}

13 Mechanische Kennwerte

13.1 Pinliste

Tabelle 17: Anschlussbelegung TQFP64

Pin	Name	Typ	Bedeutung	Nr.	Name	Typ	Bedeutung
1	DATA(0)	COUT	Datenausgang	33	SINP	AIN	Sinuskanal, Eingang +
2	DATA(1)	COUT	Datenausgang	34	SINN	AIN	Sinuskanal, Eingang – ⁵⁾
3	DATA(2)	COUT	Datenausgang	35	OUTS180	AOUT	Analogausgang Sinuskanal
4	DATA(3)	COUT	Datenausgang	36	OUTS	AOUT	Analogausgang Sinuskanal
5	DATA(4)	COUT	Datenausgang	37	INPS	AIN	Eingang Sinus-ADC
6	DATA(5)	COUT	Datenausgang	38	RSH	AIO	pos. Referenzspannung SADC
7	DATA(6)	COUT	Datenausgang	39	RSL	AIO	neg. Referenzspannung SADC
8	DATA(7)	COUT	Datenausgang	40	V0	AIO	Analoge Mittenspannung
9	DATA(8)	COUT	Datenausgang	41	VSSA2	ASUP	Analog-GND 2
10	DATA(9)	COUT	Datenausgang	42	VDDA2	ASUP	Analog-VDD 2
11	DATA(10)	COUT	Datenausgang	43	RCL	AIO	neg. Referenzspannung CADC
12	DATA(11)	COUT	Datenausgang	44	RCH	AIO	pos. Referenzspannung CADC
13	DATA(12)	COUT	Datenausgang	45	INPC	AIN	Eingang Cosinus-ADC
14	DATA(13)	COUT	Datenausgang	46	OUTC	AOUT	Analogausgang Cosinuskanal
15	DATA(14)	COUT	Datenausgang	47	COSN	AIN	Cosinuskanal, Eingang – ⁵⁾
16	DATA(15)	COUT	Datenausgang	48	COSP	AIN	Cosinuskanal, Eingang +
17	VSS2	DSUP	Digital-GND 2	49	PH	AIN	Phaseneinstellung ⁵⁾
18	VDD2	DSUP	Digital-VDD 2	50	VDDA3	ASUP	Analog VDD 3
19	OUTHIGH	COUT	MSB an DATA aktiv	51	VSSA3	ASUP	Analog VSS 3
20	CLRTRG	TTLIN	Clear Trigger ¹⁾	52	IT2	TTLIN	Intervallzeit ³⁾
21	XB	OSC	Quarz-Takt ¹⁾	53	IT1 / DP3	TTLIN	Intervallzeit / DProg 3 ³⁾
22	XA	OSC	Quarz-Takt / externer Takt	54	IR2 / DP2	TTLIN	Interpolationsrate / DProg 2 ³⁾
23	SCLK	TTLIN	SPI-Takt ³⁾	55	IR1 / DP1	TTLIN	Interpolationsrate / DProg 1 ³⁾
24	SCEN	TTLIN	SPI-Enable ²⁾	56	IR0 / DP0	TTLIN	Interpolationsrate / DProg 0 ³⁾
25	SDI/ SPEED	TTLIN	SPI-Daten / SPEED (Cfg) ¹⁾	57	OREF	COUT	Ausgang Referenz
26	SDO/RDY	CODO	SPI-Ausgang ⁴⁾	58	B	COUT	Rechteckausgang Ausgang B
27	VDD3	DSUP	Digital-VDD 3	59	A	COUT	Rechteckausgang Ausgang A
28	TM	TTLIN	Testmodus ¹⁾	60	TRG/GFE	TTLIN	Trigger / Glitch-Filter-Enable ³⁾
29	VSSA1	ASUP	Analog-GND 1	61	NERR	ODPU	Ausgang Fehler
30	VDDA1	ASUP	Analog-VDD 1	62	NRES	TTLIN	Reset
31	REFN	AIN	Referenzkanal, Eingang – ⁶⁾	63	VDD1	DSUP	Digital-VDD 1
32	REFP	AIN	Referenzkanal, Eingang + ⁶⁾	64	VSS1	DSUP	Digital-GND 1

COUT CMOS – OUT 4mA
 CODO CMOS – OUT 4mA / Open-Drain
 ODPDU CMOS – OUT 4mA / Open-Drain mit Pull-Up
 ODPD CMOS – OUT 4mA / Open-Drain mit Pull-Down
 TTLIN Input, TTL –Pegel

OSC Oszillator – I/O, 6pF
 AIN / AOUT / AIO Analog-IO
 DSUP Power digital
 ASUP Power Analog

- 1) wenn unbenutzt, auf Low
- 2) wenn unbenutzt, auf High
- 3) wenn unbenutzt, entweder auf Low oder High
- 4) wenn unbenutzt, an separaten Pull-Up-Widerstand
- 5) wenn unbenutzt an V0
- 6) wenn unbenutzt beliebig beschalten, REFN und REFP sollten nicht auf gleichem Potential liegen

① Jeder IC-Eingang muss definiert beschaltet werden.

13.2 Doppelt genutzte Pins

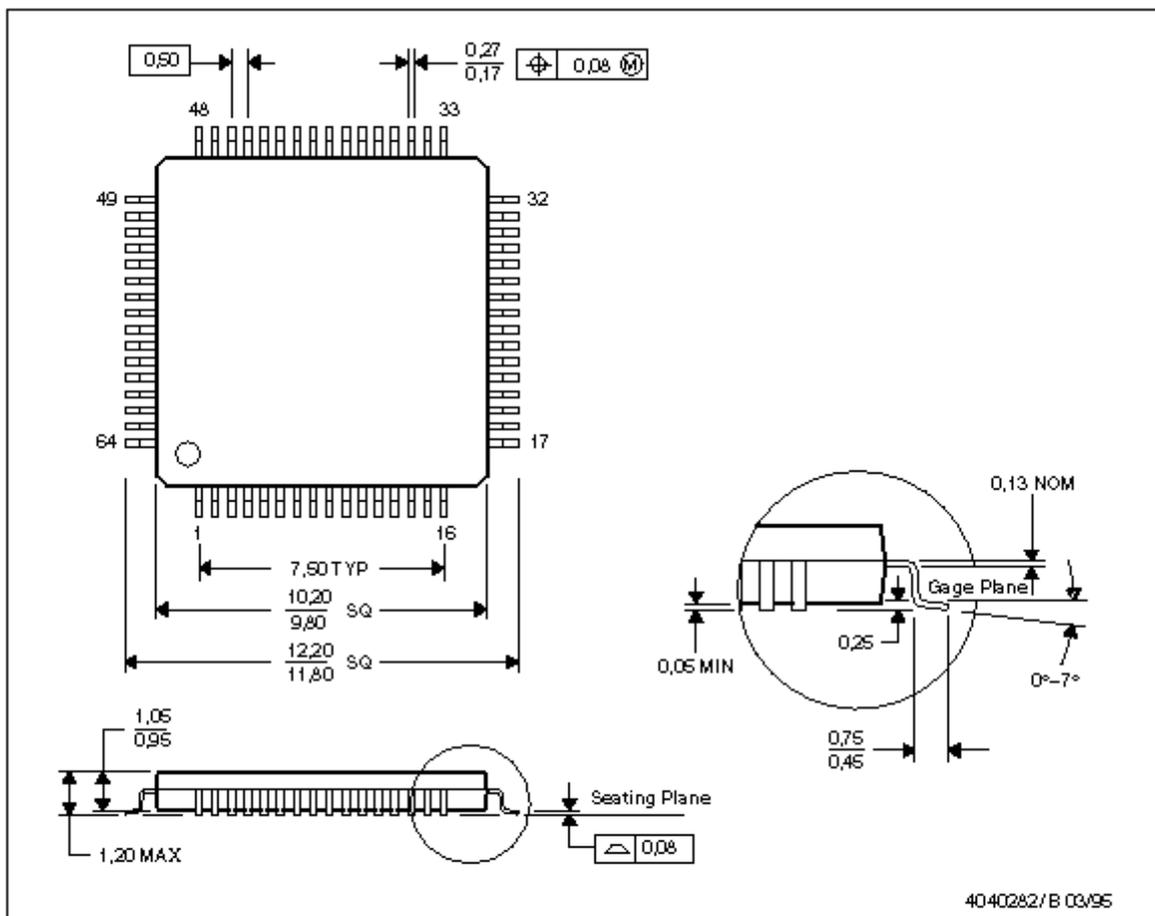
Während des Resetablaufes, d.h. in der Zeit zwischen steigender Flanke am NRES-Eingang und steigender Flanke am SDO/RDY-Ausgang werden folgende Pins zur Konfiguration des IC verwendet:

Tabelle 18: Bedeutung der Konfigurationspins während Reset

Name	Während Reset	nach Reset
IT1 / DP3	Intervallzeit	SPI-Hardwareadresse (Initialisierungswert)
IR2 / DP2	Interpolationsrate	SPI-Hardwareadresse (Initialisierungswert)
IR1 / DP1	Interpolationsrate	SPI-Hardwareadresse (Initialisierungswert)
IR0 / DP0	Interpolationsrate	SPI-Hardwareadresse (Initialisierungswert)
TRG / GFE	Glitch-Filter-Enable	Triggersignal
SDI / SPEED	SPEED-Mode	Eingangsdaten SPI

Die Beschaltung dieser Pins erfolgt anwendungsspezifisch anhand der Wahl der Schnittstelle zum Auslesen des Interpolationsergebnisses sowie der gewünschten Konfigurationsmethode.

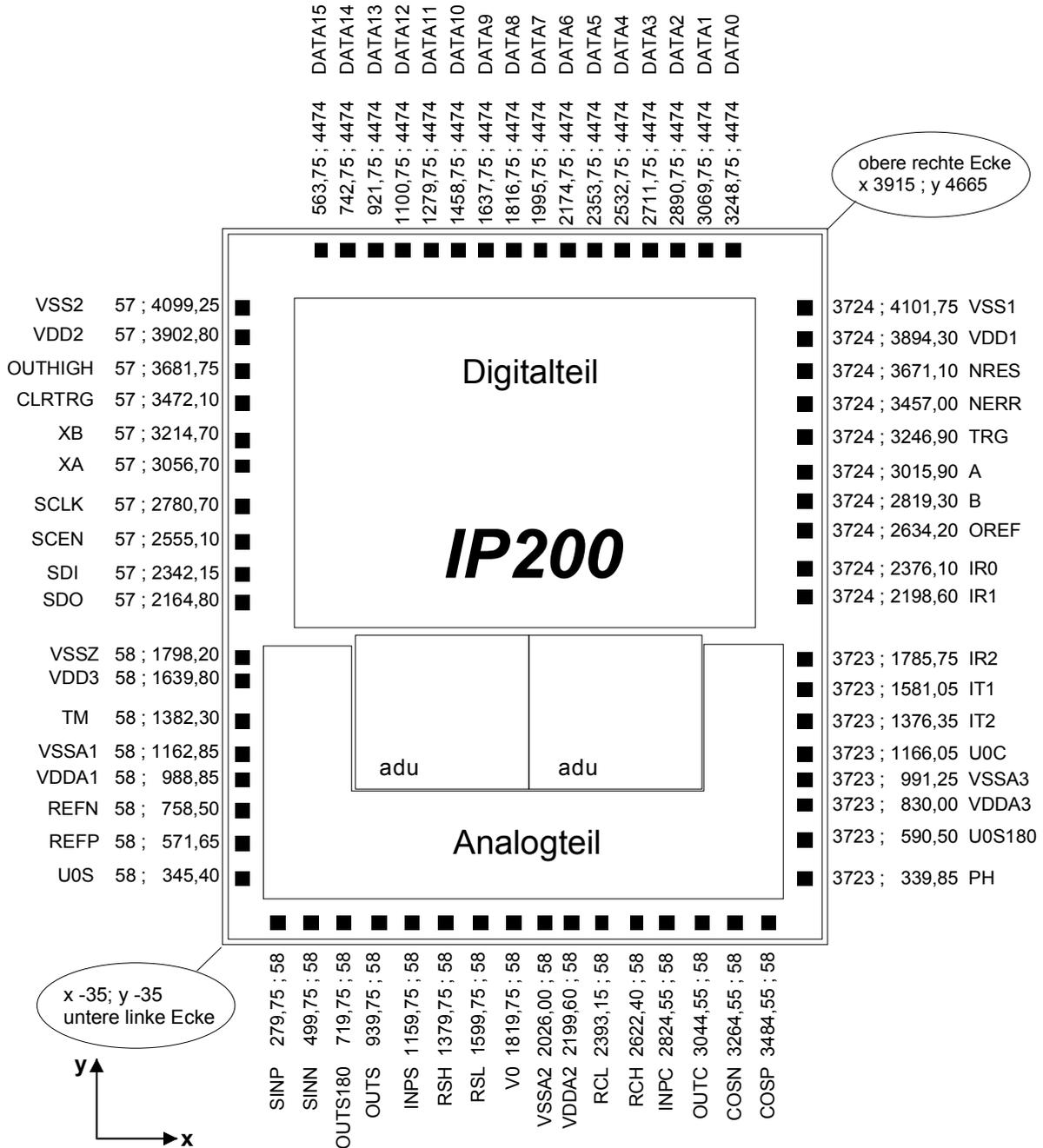
13.3 Gehäuse



- NOTES: A. All linear dimensions are in millimeters.
 B. This drawing is subject to change without notice.
 C. Falls within JEDEC MO-136

Abbildung 15: TQFP64-Gehäuse

13.4 Bondschema



Anmerkungen:

1. Alle linearen Massangaben in µm.
2. Alle Padmassangaben beziehen sich auf Metal-Layer 2.
3. Padgröße: 99,000 x 99,000.
4. Padmittelpunkt: X+49,500 x Y+49,500.
5. Linke untere Ecke Bondfenster bezogen auf Padmaße: X+7,000 x Y+7,000.
6. Bondfenstergröße: 85,000 x 85,000.

Abbildung 16: GC-IP200 Die

Tabelle 19: Padkoordinaten GC-IP200 Die

PIN	Name	Pads, linke untere Ecke					
		Met2 (99 x 99)		Bond (85 x 85)		Mittelpunkt	
		x	y	x	y	x	y
1	DATA0	3248,75	4474,00	3255,75	4481,00	3298,25	4523,50
2	DATA1	3069,75	4474,00	3076,75	4481,00	3119,25	4523,50
3	DATA2	2890,75	4474,00	2897,75	4481,00	2940,25	4523,50
4	DATA3	2711,75	4474,00	2718,75	4481,00	2761,25	4523,50
5	DATA4	2532,75	4474,00	2539,75	4481,00	2582,25	4523,50
6	DATA5	2353,75	4474,00	2360,75	4481,00	2403,25	4523,50
7	DATA6	2174,75	4474,00	2181,00	4481,00	2224,25	4523,50
8	DATA7	1995,75	4474,00	2002,75	4481,00	2045,25	4523,50
9	DATA8	1816,75	4474,00	1823,75	4481,00	1866,25	4523,50
10	DATA9	1637,75	4474,00	1644,75	4481,00	1687,25	4523,50
11	DATA10	1458,75	4474,00	1465,75	4481,00	1508,25	4523,50
12	DATA11	1279,75	4474,00	1286,75	4481,00	1329,25	4523,50
13	DATA12	1100,75	4474,00	1167,75	4481,00	1150,25	4523,50
14	DATA13	921,75	4474,00	928,75	4481,00	971,25	4523,50
15	DATA14	742,75	4474,00	749,75	4481,00	792,25	4523,50
16	DATA15	563,75	4474,00	570,75	4481,00	613,25	4523,50
17	VSS2	57,00	4099,25	64,00	4106,25	106,50	4148,75
18	VDD2	57,00	3902,80	64,00	3909,80	106,50	3952,30
19	OUTHIGH	57,00	3681,75	64,00	3688,80	106,50	3731,25
20	CLRTRG	57,00	3472,10	64,00	3479,10	106,50	3521,60
21	XB	57,00	3214,70	64,00	3221,70	106,50	3264,20
22	XA	57,00	3056,70	64,00	3063,70	106,50	3106,20
23	SCLK	57,00	2780,70	64,00	2787,70	106,50	2830,20
24	SCEN	57,00	2555,10	64,00	2562,10	106,50	2604,60
25	SDI	57,00	2342,15	64,00	2349,15	106,50	2391,65
26	SDO	57,00	2164,80	64,00	2171,80	106,50	2214,30
27	VDD3	58,00	1639,80	65,00	1646,80	107,50	1689,30
28	TM	58,00	1382,30	65,00	1389,30	107,50	1431,80
29	VSSA1	58,00	1162,85	65,00	1169,85	107,50	1212,35
30	VDDA1	58,00	988,85	65,00	995,85	107,50	1038,35
31	REFN	58,00	785,50	65,00	792,50	107,50	835,00
32	REFP	58,00	571,65	65,00	578,65	107,50	621,15
33	SINP	279,75	58,00	286,75	65,00	329,25	107,50
34	SINN	499,75	58,00	506,75	65,00	549,25	107,50
35	OUTS180	719,75	58,00	726,75	65,00	769,25	107,50
36	OUTS	939,75	58,00	946,75	65,00	989,25	107,50
37	INPS	1159,75	58,00	1166,75	65,00	1209,25	107,50
38	RSH	1379,75	58,00	1386,75	65,00	1429,25	107,50
39	RSL	1599,75	58,00	1606,60	65,00	1649,25	107,50

PIN TQFP64	Name	Pads, linke untere Ecke					
		Met2 (99 x 99)		Bond (85 x 85)		Mittelpunkt	
		x	y	x	y	x	y
40	V0	1819,75	58,00	1826,75	65,00	1869,25	107,50
41	VSSA2	2026,00	58,00	2033,00	65,00	2075,50	107,50
42	VDDA2	2199,60	58,00	2206,60	65,00	2249,10	107,50
43	RCL	2393,15	58,00	2400,15	65,00	2442,65	107,50
44	RCH	2622,40	58,00	2629,40	65,00	2671,90	107,50
45	INPC	2824,55	58,00	2831,55	65,00	2874,05	107,50
46	OUTC	3044,55	58,00	3051,55	65,00	3094,05	107,50
47	COSN	3264,55	58,00	3271,55	65,00	3314,05	107,50
48	COSP	3484,55	58,00	3491,55	65,00	3534,05	107,50
49	PH	3723,00	339,85	3730,00	346,85	3772,50	389,35
50	VDDA3	3723,00	830,00	3730,00	837,00	3772,50	879,50
51	VSSA3	3723,00	991,25	3730,00	998,25	3772,50	1040,75
52	IT2	3723,00	1376,35	3730,00	1383,35	3772,50	1425,85
53	IT1	3723,00	1581,05	3730,00	1588,05	3772,50	1630,55
54	IR2	3723,00	1785,75	3730,00	1792,75	3772,50	1835,25
55	IR1	3724,00	2198,60	3731,00	2265,60	3773,50	2248,10
56	IR0	3724,00	2376,10	3731,00	2383,10	3773,50	2425,60
57	OREF	3724,00	2634,20	3731,00	2641,20	3773,50	2683,70
58	B	3724,00	2819,30	3731,00	2826,30	3773,50	2868,80
59	A	3724,00	3015,90	3731,00	3022,90	3773,50	3065,40
60	TRG	3724,00	3246,90	3731,00	3253,90	3773,50	3296,40
61	NERR	3724,00	3457,00	3731,00	3464,00	3773,50	3506,50
62	NRES	3724,00	3671,00	3731,00	3678,60	3773,50	3720,50
63	VDD1	3724,00	3894,30	3731,00	3901,30	3773,50	3943,80
64	VSS1	3724,00	4101,75	3731,00	4108,75	3773,50	4151,25

