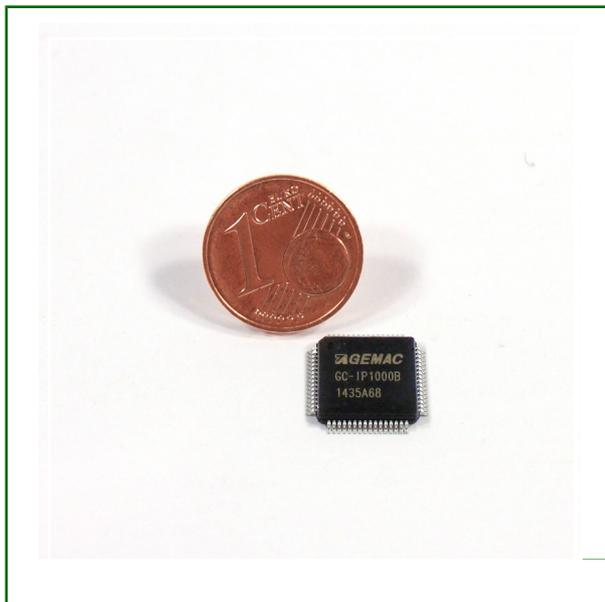




GC-IP1000B

Datenblatt

Version: 2.3
Datum: 31.01.2017



Revisionsübersicht

Datum	Revision	Änderungen
10.12.07	2.2	GC-IP1000B eingearbeitet
31.01.2017	2.3	AMAC spezifische Änderungen des Dokumentenlayouts

© Copyright 2017 AMAC ASIC- und Mikrosensoranwendung Chemnitz GmbH

Unangekündigte Änderungen vorbehalten.

Wir arbeiten ständig an der Weiterentwicklung unserer Produkte. Änderungen des Lieferumfangs in Form, Ausstattung und Technik behalten wir uns vor. Aus den Angaben, Abbildungen und Beschreibungen dieser Dokumentation können keine Ansprüche abgeleitet werden. Jegliche Vervielfältigung, Weiterverarbeitung und Übersetzung dieses Dokumentes sowie Auszügen daraus bedürfen der schriftlichen Genehmigung durch die AMAC. Alle Rechte nach dem Gesetz über das Urheberrecht bleiben AMAC ausdrücklich vorbehalten.

Inhaltsverzeichnis

1 Übersicht.....	6
2 Eigenschaften.....	7
3 Anschlussbelegung.....	8
4 Konfiguration.....	10
4.1 Reset.....	10
4.2 Resetablauf.....	10
4.3 Konfigurationspins.....	11
5 Funktionsbeschreibung.....	13
5.1 Eingangsverstärker.....	13
5.1.1 Eingangssignale.....	13
5.2 AD-Wandler.....	14
5.2.1 Dimensionierung der Eingangsschaltung.....	14
5.3 Interpolation.....	15
5.3.1 Interpolationsrate.....	15
5.3.2 <i>Fehlersignal</i>	15
5.3.3 Nullsignale OREF.....	15
5.3.4 Maximale Eingangsfrequenz.....	16
5.3.5 Flankenabstandskontrolle.....	16
5.3.6 Konfiguration von t_{pp} und f_{osz}	17
5.4 Glitchfilter.....	17
5.5 Messwerttrigger.....	18
5.6 Fehlerverarbeitung.....	18
5.6.1 Sensorabrissfehler.....	18
6 Serielle Schnittstelle (SPI).....	19
6.1 Protokoll an SDI.....	20
6.2 Synchron- / Asynchronbetrieb.....	21
7 EEPROM.....	22
7.1 Signale / Hardwareprotokoll.....	22
7.2 Adresszuordnung.....	22
7.3 OP-Codes.....	22
8 Register.....	23
8.1 Leseregister.....	23
8.2 Schreibregister.....	23
8.3 Kommandos.....	24
8.4 Kodierung.....	24
9 Signallaufzeit.....	29
10 Kennwerte.....	30
11 Gehäuse.....	31
12 Notizen.....	33

Tabellenverzeichnis

Tabelle 1: Eigenschaften.....	7
Tabelle 2: Anschlussbelegung.....	8
Tabelle 3: Defaultwerte der Register.....	10
Tabelle 4: Konfigurationsmöglichkeiten.....	11
Tabelle 5: Konfiguration Interpolationsrate.....	11
Tabelle 6: Konfiguration Referenzpunkt.....	11
Tabelle 7: Konfiguration Signalamplitude (Nominalwert).....	11
Tabelle 8: Konfiguration minimaler Flankenabstand.....	12
Tabelle 9: Konfiguration Glitchfilter.....	12
Tabelle 10: Konfiguration Verstärkung.....	13
Tabelle 11: Konfiguration AD-Wandler.....	14
Tabelle 12: Fehlerverarbeitung.....	18
Tabelle 13: SPI.....	19
Tabelle 14: Protokoll SPI.....	20
Tabelle 15: Adressen SPI.....	20
Tabelle 16: Adresszuordnung EEPROM.....	22
Tabelle 17: OP-Codes.....	22
Tabelle 18: Leseregister.....	23
Tabelle 19: Schreibregister.....	23
Tabelle 20: Kommandos.....	24
Tabelle 21: Betriebsbedingungen.....	30
Tabelle 22: Analoger Eingangsteil.....	30
Tabelle 23: ADU.....	30
Tabelle 24: Interpolation.....	30

Abbildungsverzeichnis

Abbildung 1: Blockschaltbild.....	6
Abbildung 2: Eingangssignale.....	13
Abbildung 3: Eingangssignale.....	13
Abbildung 4: Dimensionierung der Eingangsschaltung.....	14
Abbildung 5: Eingangssignale Interpolation.....	15
Abbildung 6: Ausgangssignale.....	16
Abbildung 7: Flankenabstand.....	16
Abbildung 8: SPI-Zugriff.....	19
Abbildung 9: SPI-Zugriff.....	21
Abbildung 10: Lese-Zugriff.....	21
Abbildung 11: Kommandoausführung.....	21
Abbildung 12: Schreibzugriff.....	21
Abbildung 13: Signallaufzeit.....	29
Abbildung 14: GC-IP1000B Package Dimensions.....	31
Abbildung 15: GC-IP1000B Carrier Tape.....	31
Abbildung 16: GC-IP1000B Antistatic Plastic Reel.....	32

2 Eigenschaften

Tabelle 1: Eigenschaften

Eigenschaften	
Analogeingang	3 Kanäle differentiell: Sinus- / Cosinus- / Referenzsignal Standartanschluss $1V_{pp}$ (differentiell) Eingangsbereiche $100mV_{pp}$, $120mV_{pp}$, $145mV_{pp}$ (differentiell) Single-ended Input $2.0V_{pp}$ Eingangsfrequenz bis 110kHz
Signalkorrektur	Regler für Offset und Amplitude digitales Potentiometer für Phase
Interpolationsrate	1000, 800, 500, 400, 250, 200, 125, 100
Ausgang für Messwerte	28 – Bit Zählwert 90° - Rechteckfolgen bzw. Up/Down – Zählimpulse Fehlersignal
Konfigurationsmöglichkeiten	Über Konfigurationspins über serielle Schnittstelle (SPI) über EEPROM
Serielle Schnittstelle (SPI)	Für Konfiguration und Messwertausgabe 16 Bit Synchron- / Asynchronbetrieb für Minimalsysteme nicht benötigt
Sonstiges	Filter zur Unterdrückung des Flankenrauschens bei niedrigen Geschwindigkeiten programmierbare Intervallzeit zur Anpassung des IC an langsamere Auswerteelektronik flankengesteuerter Messwerttrigger Verhalten des IC bei Sensorfehlern programmierbar
Gehäuse	TQFP64 (10mm x 10mm x 1mm)

3 Anschlussbelegung

Tabelle 2: Anschlussbelegung

Pin	Name	Typ	Bedeutung
1	EDI	Ausgang digital / COUT	EEPROM: Datenausgang
2	ECKL	Ausgang digital / COUT	EEPROM: Takt
3	SDO/RDY	Ausgang digital / CODO	SPI-Datenausgang ⁶⁾
4	SDI	Eingang digital / TTLIN	SPI:Dateneingang ⁵⁾
5	SCEN	Eingang digital / TTLIN	SPI:Freigabe ⁴⁾
6	SCLK	Eingang digital / TTLIN	SPI:Takt ⁵⁾
7	TRG	Eingang digital / TTLIN	Triggereingang ⁵⁾
8	TM	Eingang digital / TTLIN	Testmodus ³⁾
9	UDMODE	Eingang digital / TTLIN	Ausgangsmodus ⁵⁾
10	GFE	Eingang digital / TTLIN	Glitch-Filter-Enable ⁵⁾
11	MODE	Eingang digital / TTLIN	ADU-Mode ³⁾
12	IT2	Eingang digital / TTLIN	Konfiguration Intervallzeit ⁵⁾
13	IT1	Eingang digital / TTLIN	Konfiguration Intervallzeit ⁵⁾
14	IT0 / DP3 ¹⁾	Eingang digital / TTLIN	Konfiguration Intervallzeit ⁵⁾ DProg 3 ¹⁾
15	IR2 / DP2 ²⁾	Eingang digital / TTLIN	Konfiguration Interpolationsrate ⁵⁾ DProg 2 ²⁾
16	IR1 / DP1 ²⁾	Eingang digital / TTLIN	Konfiguration Interpolationsrate ⁵⁾ DProg 1 ²⁾
17	IR0 / DP0 ²⁾	Eingang digital / TTLIN	Konfiguration Interpolationsrate ⁵⁾ DProg 0 ²⁾
18	XA/CLK	Oszillator / Eingang digital	Takt
19	XB	Oszillator	Takt ³⁾
20	A / UP	Ausgang digital / COUT	Inkrementalausgang A
21	B / DOWN	Ausgang digital / COUT	Inkrementalausgang B
22	OREF	Ausgang digital / COUT	Ausgang Referenzsignal / Index
23	VDD2	Power	Versorgungsspannung digital +5V
24	VSS2	Power	Masse digital
25	NERR	Ausgang digital / COPU	Fehlersignal
26	NRES	Eingang digital	Reset ²⁾
27	VSS3	Power	Masse digital
28	REFN	Eingang analog	Eingang Referenzsignal negativ ⁷⁾
29	REFP	Eingang analog	Eingang Referenzsignal positiv ⁷⁾
30	RSL	Analog	Stütz-C, ADC-Referenzspannung
31	RSH	Analog	Stütz-C, ADC-Referenzspannung
32	OUTS	Ausgang analog	Analogausgang Sinuskanal
33	SINN	Eingang analog	Eingang Sinus negativ
34	SINP	Eingang analog	Eingang Sinus positiv
35	INPS	Eingang analog	Eingang Sinus-ADU
36	VDDA1	Power	Versorgungsspannung analog +5V
37	VSSA1	Power	Masse analog +5V
38	VSSA2	Power	Masse analog +5V
39	VDDA2	Power	Versorgungsspannung analog +5V
40	V0	Ausgang analog	Mittenspannung 1
41	V0S180	Ausgang analog	Mittenspannung 2
42	V0S	Ausgang analog	Mittenspannung 3
43	V0C	Ausgang analog	Mittenspannung 4
44	VDDA2	Power	Versorgungsspannung analog +5V
45	VSSA2	Power	Masse analog +5V
46	INPC	Eingang analog	Eingang Kosinus-ADU
47	COSN	Eingang analog	Eingang Kosinus negativ
48	COSP	Eingang analog	Eingang Kosinus positiv

49	OUTC	Ausgang analog	Analogausgang Kosinuskanal
50	RCH	Analog	Stütz-C, ADC-Referenzspannung
51	RCL	Analog	Stütz-C, ADC-Referenzspannung
52	G0	Eingang digital / CINPU	Konfiguration Verstärkungsstufen
53	G1	Eingang digital / CINPD	Konfiguration Verstärkungsstufen
54	PROG	Power	Programmierspannung
55	VSSP	Power	Masse Programmierspannung
56	VSS1	Power	Masse digital
57	VDD1	Power	Versorgungsspannung digital +5V
58	ADCDAT	Eingang digital / TTLIN	ADU-Kosinus-Daten ⁵⁾
59	ADSDAT	Eingang digital / TTLIN	ADU-Sinus-Daten ⁵⁾
60	ADCLK	Ausgang digital / COUT	ADU-Takt
61	ADCONV	Ausgang digital / COUT	ADU-ConvertStart
62	ECS	Ausgang digital / COUT	EEPROM: Freigabe
63	ERDY	Eingang digital / TTLIN	EEPROM: Ready ⁴⁾
64	EDO	Eingang digital / TTLIN	EEPROM: Dateneingang GC-IP1000B ⁵⁾

¹⁾ DPROG – Pins:

- Default: IR(2:0) , IT(0)
 - EEP-Bankadresse (3 Bit), wenn EEP vorhanden und Bank-Enable (Adresse 0x0F, Bit 0) gesetzt
 - HW-Adresse, wenn von SPI entsprechender Befehl kommt
- 2) Während Power-On darf an NRES kein H-Pegel getrieben werden. (Open–Drain-Treiber einsetzen)
- 3) wenn unbenutzt, auf Low
- 4) wenn unbenutzt, auf High
- 5) wenn unbenutzt, entweder auf Low oder High
- 6) wenn unbenutzt, an separaten Pull-Up-Widerstand
- 7) wenn unbenutzt beliebig beschalten, REFN und REFP sollten nicht auf gleichem Potential liegen

ⓘ **Jeder IC-Eingang muss definiert beschaltet werden!**

4 Konfiguration

4.1 Reset

Nach einem Reset des IC werden alle Register mit ihren Default-Werten initialisiert. Danach werden die Konfigurationspins in die entsprechenden Register eingelesen. Falls ein gültiger EEPROM angeschlossen ist, werden im Anschluss daran die Konfigurationsregister mit den EEPROM-Werten überschrieben. Während des gesamten Resetablaufs wird das Pin SDO/RDY auf L-Pegel gehalten. Danach können die Konfigurationsregister mittels der seriellen Schnittstelle SPI geändert werden. Es möglich, die Pins NERR und NRES zu verbinden, um eine Neukonfiguration des IC im Fehlerfall zu erreichen. Sind NRES und NERR miteinander verbunden, wird das Reset-Signal von der „NERR-Kette“ solange gehalten, wie eines dieser Flip-Flops eine ‚0‘ enthält.

Tabelle 3: Defaultwerte der Register

Name	Bedeutung	Default-Wert
IR(2:0)	Interpolationsrate	Pin IR(2:0) wird gelesen
IT(2:0)	Intervallzeit	Pin IR(2:0) wird gelesen
GFE	Glitch-Filter-Enable	Pin GFE wird gelesen
UDMODE	Ausgangsmodus A/B bzw. Up/Down	Pin UDMODE wird gelesen
DISREG	Signal-Regler Disable	0
DISREF	Referenzpunkt-Disable	0
Speed	Speed-Mode für int. Zähler	0
TRSLP	Triggerflanke	0
ADU(1:0)	Typ ext. ADU	0 x 00
ERRMASK	Fehlermaskenregister	0 x 3F
SGAIN	Startwert Verstärkungskorrektur Sinus	0 x 80
SOFF	Startwert Offsetkorrektur Sinus	0 x 00
CGAIN	Startwert Verstärkungskorrektur Kosinus	0 x 80
COFF	Startwert Offsetkorrektur Kosinus	0 x 00
PHASE	Phasenkorrektur zwischen Sinus und Kosinus	0 x 0F
SYNC	Synchronisierung SPI mit intern. Ablauf	0 x 00
G0/G1	Analogverstärkung (kein Register)	Pin, nicht über EEPROM oder SPI
Mode	AD-Wandler-Modus (kein Register)	Pin, nicht über EEPROM oder SPI

① Zur Gewährleistung eines korrekten Resetablaufes wird der Einsatz eines Resetschaltkreises (z.B. MAX803) empfohlen.

4.2 Resetablauf

1. Pin SDO/RDY schaltet auf L, alle Register werden Default-Werten initialisiert
2. Selbstkalibrierung des ADU wird durchgeführt, die Konfigurationspins werden in das CFG0-Register übertragen
3. Test, ob EEPROM angeschlossen (Adresse 0x0F enthält 0x46 oder 0x47)
4. bei Bedarf werden Programmierpins DP(2:0) als EEP-Basisadresse gelesen
5. EEPROM wird ausgelesen und die beteiligten Register werden neu beschrieben
6. Start der normalen Operation des IC
7. Pin SDO/RDY schaltet auf H (externer Pull-Up notwendig)
8. die Konfigurationsregister können mittels SPI geändert werden

Die Zeit zwischen steigender Flanke an NRES und steigende Flanke an SDO/RDY, d.h. dem Ende des Resetvorgangs, beträgt ca. 58000 Systemtakte.

4.3 Konfigurationspins

Der IC kann mit Hilfe von Konfigurationsregistern an verschiedenartigste Messsysteme und Folgeelektroniken angepasst werden. Falls der IC mittels eines EEPROMS bzw. mittels der SPI-Schnittstelle initialisiert wird, stehen alle Konfigurationsmöglichkeiten zur Verfügung. Bei Initialisierung über die Konfigurationspins sind die wichtigsten Parameter von außen einstellbar. Die folgende Tabelle gibt einen Überblick über die Konfigurationsmöglichkeiten des GC-IP1000B. In weiteren Tabellen sind die Bedeutungen der Konfigurationspins angegeben.

Tabelle 4: Konfigurationsmöglichkeiten

Parameter	Mögliche Werte	Pin	Register / Bit
Interpolationsrate	1000, 800, 500, 400, 250, 200, 125, 100	IR2/IR1/IR0	CFG0 / IR(2:0)
Min. Flankenabstand t_{pp}	1, 2, 4, 8, 16, 32, 64, 128	IR2/IR1/IR0	CFG0 / IT(2:0)
Referenzpunkt	Enable, Disable	-	CFG1 / DISREF
Signalamplitude nominal	1V _{pp} , 145mV _{pp} , 120mV _{pp} , 100mV _{pp}	G0/G1	-
Glitchfilter	Enable, Disable	GFE	CFG0 / GFE
Ausgangssignale A/B/Z	ABZ-Modus, Up-Down-Modus	UDMODE	CFG / UDMODE
Fehlerverarbeitung	Maskierung	-	ERRMASK
Phasenkorrektur	$\pm 12^\circ$, $\pm 6^\circ \pm$	-	PHASE / PHRANGE, PAHSE (4:0)
Verstärkungsregler	Voreinstellung / Zeitkonstante / Enable, Disable	-	CFG0 / DISREG, SGAIN, CGAIN
Offsetregler	Voreinstellung / Zeitkonstante / Enable, Disable	-	CFG0 / DISREG, SOFF, COFF
Trigger	Messwerttrigger, Triggerflanke	TRG	CFG1 / TRSLP
SPI-Modus	Synchron, Asynchron	-	SYNC / ASYNC
SPI-Hardwareadresse	0-15	DP(3:0)	

Tabelle 5: Konfiguration Interpolationsrate

Interpolationsrate	CFG0 – IR(2:0)	Pin IR2	Pin IR1	Pin IR0
1000	100	1	0	0
800	000	0	0	0
500	101	1	0	1
400	001	0	0	1
250	110	1	1	0
200	010	0	1	0
125	111	1	1	1
100	011	0	1	1

Tabelle 6: Konfiguration Referenzpunkt

Referenzpunktverarbeitung	CFG1 - DISREF
aktiviert	0
deaktiviert	1

Tabelle 7: Konfiguration Signalamplitude (Nominalwert)

Eingangssignale	Pin G1	Pin G0
1 V _{pp}	VDD	VDD
145 mV _{pp}	VDD	VSS
120 mV _{pp}	VSS	VDD
100 mV _{pp}	VSS	VSS

Tabelle 8: Konfiguration minimaler Flankenabstand

Min. Flankenabstand t_{pp}	CFG0 - IT(2:0)	Pin IT2	Pin IT1	Pin IT0
$1/f_{osz}$	000	0	0	0
$2/f_{osz}$	001	0	0	1
$4/f_{osz}$	010	0	1	0
$8/f_{osz}$	011	0	1	1
$16/f_{osz}$	100	1	0	0
$32/f_{osz}$	101	1	0	1
$64/f_{osz}$	110	1	1	0
$128/f_{osz}$	111	1	1	1

Tabelle 9: Konfiguration Glitchfilter

Pin GFE	CFG0 - GFE	Glitchfilter
VSS	0	deaktiviert
VDD	1	aktiviert

5 Funktionsbeschreibung

5.1 Eingangsverstärker

Der GC-IP1000B enthält drei Instrumentationsverstärker mit einstellbaren Verstärkungsfaktoren. Inkrementalgeber mit Spannungsschnittstelle sowie Messbrücken können direkt angeschlossen werden. Sensoren mit Stromschnittstelle werden mittels einfacher Außenbeschaltung angepasst. Der IC kann sowohl mit Single-ended, als auch mit differentiellen Eingangssignalen arbeiten. Die Verstärkung ist für alle Signale des Sensors (Sinus, Kosinus, Index/Referenz) identisch. Zur Anpassung des GC-IP1000B an kundenspezifische Sensoren steht die Mittenspannung der Instrumentationsverstärker am Pin V0 zur Verfügung.

5.1.1 Eingangssignale

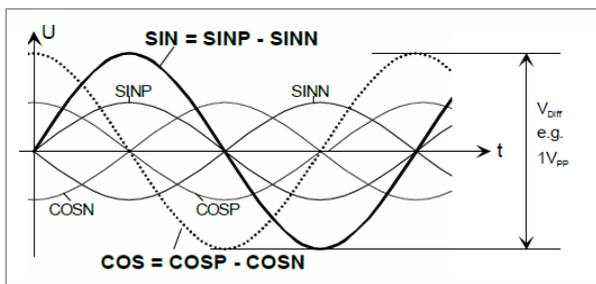


Abbildung 2: Eingangssignale

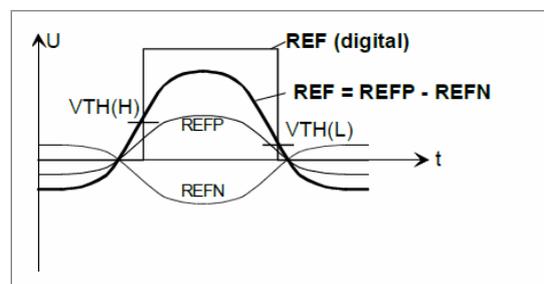


Abbildung 3: Eingangssignale

Tabelle 10: Konfiguration Verstärkung

G1	L	L	H	H
G0	L	H	L	H
Verstärkung (nominal)	19,5	16.25 ²⁾	13.45	1.95
Eingangsspannung für differentielle Einspeisung ¹⁾ (mVpp)	50	60	72	500
Eingangsspannung UDiff (nominal) (mVpp)	100	120	145	1000
Eingangsspannungsbereich für Udiff (mVpp)	80 - 120	96 - 144	145 - 174	800 - 1200
maximaler Signal-Offset (mVpp)	±10	±12	±14.5	±100
Untere Schaltschwelle Referenzpunktkomparator nominal VTH(L) (mVpp)	10	10	10	10
Obere Schaltschwelle Referenzpunktkomparator nominal VTH(H) (mVpp)	15	15	15	15

¹⁾ an jedem der Eingänge SINP, SINN, COSP, COSN

²⁾ Default-Verstärkung bei offenen G0/G1-Pins

① Um die größtmögliche Genauigkeit der Amplituden- und Offsetregelung zu erreichen, muss das Phasenpotentiometer auf den am GC-IP1000B angeschlossenen Sensor abgeglichen werden.

① Im GC-IP1000B werden Amplituden- und Offsetfehler als Einheit betrachtet. Für spezielle Applikationen bedeutet dies, dass bei Verringerung eines der Fehler u.U. ein größerer zulässiger Fehler des jeweils anderen Parameters zugelassen werden kann.

① Für Messsysteme ohne Referenzsignal muss über die Pins REFP und REFN ein definierter Zustand (immer aktiv bzw. immer inaktiv) eingestellt werden.

5.2 AD-Wandler

Der IC kann für die Verwendung der internen 12 Bit ADUs mit max. 343kS/s sowie für die Verwendung von drei verschiedenen externen ADU-Typen konfiguriert werden.

Tabelle 11: Konfiguration AD-Wandler

AD-Wandler	Pin Mode	CFG2 – ADU (1:0)
Intern, 12 Bit	0	Beliebig
TLC1417 (14 Bit, Single-ended Input)	1	00
TLC1400 (12 Bit, Single-ended Input)	1	01
AD7475 (12 Bit, Differential / Single-ended Input)	1	10
Reserviert	1	11

① Für Standardanwendungen wird die Verwendung des internen AD-Umsetzers in Verbindung mit der integrierten analogen Eingangsschaltung empfohlen.

5.2.1 Dimensionierung der Eingangsschaltung

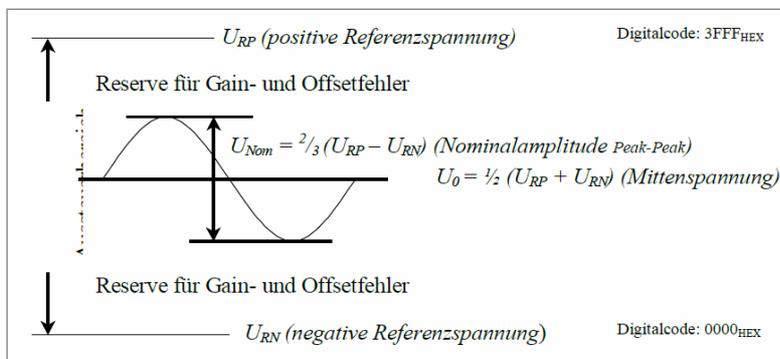


Abbildung 4: Dimensionierung der Eingangsschaltung

Für den internen AD-Umsetzer stehen alle Pegel an IC-Ausgängen zur Verfügung

	Pin	Nominalwert	Toleranz
Positive Referenzspannung Sinus	RSH	3.85 V	±100mV
Positive Referenzspannung Kosinus	RCH	3.85 V	±100mV
Negative Referenzspannung Sinus	RSL	0.70 V	±40mV
Negative Referenzspannung Kosinus	RCL	0.70 V	±40mV
Mittenspannung Sinus	V0S	2.275 V	abgeglichen auf interne Verstärker
Mittenspannung Kosinus	V0C	2.275 V	abgeglichen auf interne Verstärker
Mittenspannung für externe Schaltungen	V0	(RSH+RSL+RCH+RCL)/4	±20mV

Die Mittenspannungen V0S und V0C sind so abgeglichen, dass der Offsetfehler des internen Verstärkers korrigiert wird und der Bezugspegel des Verstärkers in der Mitte des ADU-Aussteuerbereiches liegt. Für spezielle Single-Ended Anwendungen ist es möglich, direkt am integrierten ADU einzuspeisen. Es werden zwei sinusförmige Spannungen von nominal 2.0Vpp um die Mittenspannung an U0 benötigt. Diese Mittenspannung beträgt nominal 2.275V und wird aus den Referenzspannungen des ADU abgeleitet.

Analoge Eingangsschaltungen für die externen Wandler sind so zu dimensionieren, dass bei nominaler Eingangsamplitude eine Aussteuerung von 2/3 des ADU-Maximums erfolgt.

5.3 Interpolation

Die Signalperioden der analogen Eingangssignale Sinus (SIN) und Kosinus (COS) werden unterteilt und als Zählwert mit 28 Bit im Zweierkomplement an der seriellen Schnittstelle (SPI) zur Verfügung gestellt. Der Nullpunkt kann mittels der Referenzsignaleingänge REFP und REFN generiert oder über die serielle Schnittstelle gesetzt werden. Über einen Triggereingang können Messwerte asynchron zum Zugriff über die serielle Schnittstelle im IC gespeichert werden. Parallel dazu werden um 90° phasenverschobene Rechteckfolgen (A/B/Z-Signale) generiert. Dafür existieren zwei Modi, die über das Konfigurationsbit UDMODE umgeschaltet werden können: Der erste Modus liefert die für inkrementale Messgeber üblichen, phasenverschobenen Rechtecksignale, die mittels Einfach- oder Vierfachauswertung gezählt werden können. Der zweite Modus liefert ein Up- und ein Down-Signal an den beiden Ausgängen A und B.

① *Es ist zu beachten, dass im GC-IP1000B ein digitales Interpolationsverfahren realisiert ist. Dies hat zur Folge, dass die geschwindigkeitsproportionalen A/B/Z-Ausgangssignale von den bei A/D-Umsetzern unvermeidbaren Quantisierungsfehlern (den so genannten ± 1 -Fehlern) überlagert sind. Bei Einsatz des IC in analogen Regelungen muss diese ein entsprechendes Tiefpassverhalten aufweisen. Das Quantisierungsrauschen kann durch Zuschalten des Glitchfilters verringert werden.*

5.3.1 Interpolationsrate

Die Interpolationsrate kann zwischen 1000, 800, 500, 400, 250, 200, 125 und 100 ausgewählt werden. Als Interpolationsrate wird hier die Anzahl der Inkremente verstanden, in die eine Sinusperiode der Eingangssignale unterteilt wird. Dies entspricht der Anzahl der Flankenwechsel auf den A/B-Ausgängen pro Eingangssignalperiode. Die Anzahl der Rechteckperioden an den Ausgängen A und B beträgt $\frac{1}{4}$ der Interpolationsrate.

① *Wird an den A/B-Ausgängen ein üblicher Interpolationszähler bzw. Quadraturdecoder angeschlossen, muss dieser in der Betriebsart "Vierfachauswertung" arbeiten, um die volle Interpolationsrate zu erreichen.*

5.3.2 Fehlersignal

Ein Fehlersignal wird generiert, wenn die Plausibilität der Eingangssignale nicht gegeben ist. Das Fehlersignal wird weiterhin generiert, wenn die Eingangsfrequenz so groß ist, dass die Rechtecksignale nicht mehr folgen können bzw. die maximale Eingangsfrequenz überschritten wird. Die Auswertung der internen Fehlerquellen wird über ein Fehlermaskenregister aktiviert, das Verhalten der Rechteckausgänge im Fehlerfall kann mittels dieses Registers ebenfalls konfiguriert werden. Es ist möglich, die Pins NERR und NRES zu verbinden, um eine Neusynchronisation des IC im Fehlerfall zu starten.

① *Wurde das Fehlersignal aktiviert bzw. eines der Fehlerbits im Ergebnisregister gesetzt, so sind das aktuelle Messergebnis und alle nachfolgenden Ergebnisse zu verwerfen. Nach Beseitigung der Fehlerursache und dem Rücksetzen der Fehlerbits ist für Absolutwertmessungen ein erneutes Überfahren des Referenzpunktes notwendig!*

5.3.3 Nullsignale OREF

Das Nullsignal OREF wird generiert, wenn die Analogsignale Sinus und Kosinus den Phasenwinkel 0° aufweisen und gleichzeitig die Differenzspannung der Referenzeingänge REFP und REFN die Schaltschwelle überschreitet. Die Schaltpunkte des Referenzsignals müssen im Bereich von $0^\circ \pm [90^\circ \dots 180^\circ]$ liegen. Die Breite des Nullsignals OREF (Referenzimpuls) am Ausgang beträgt 1 Inkrement, d.h. $\frac{1}{4}$ Periode der Ausgangssignale A und B.

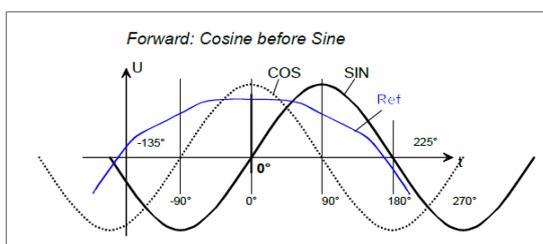


Abbildung 5: Eingangssignale Interpolation

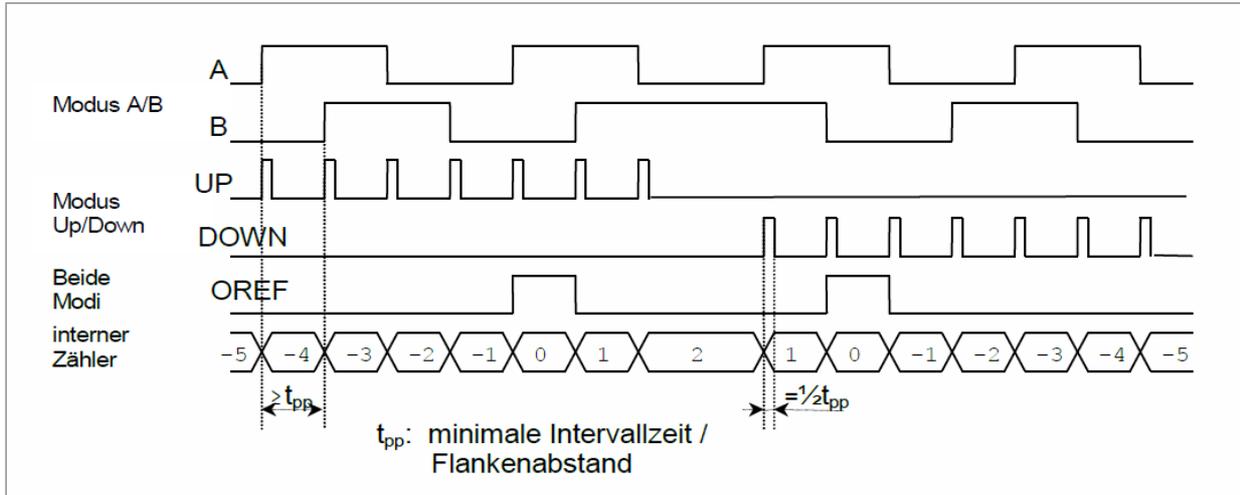


Abbildung 6: Ausgangssignale

5.3.4 Maximale Eingangsfrequenz

Die maximale Eingangsfrequenz ist abhängig von der gewählten Schnittstelle am Ausgang. Werden die Rechteckfolgen (A/B/Z) als Ausgangssignal verwendet, so wird die maximale Eingangsfrequenz begrenzt durch die Interpolationsrate und den minimalen Flankenabstand (t_{pp}). Wird ausschließlich der interne Zählwert verarbeitet, so wird die maximale Eingangsfrequenz durch die Taktfrequenz f_{OSZ} bestimmt.

5.3.5 Flankenabstandskontrolle

Die Intervallzeit (IT) bzw. der minimale Flankenabstand t_{pp} an den Ausgangssignalen kann zwischen $1/f_{OSZ}$ und $128/f_{OSZ}$ in binaren Schritten eingestellt werden.

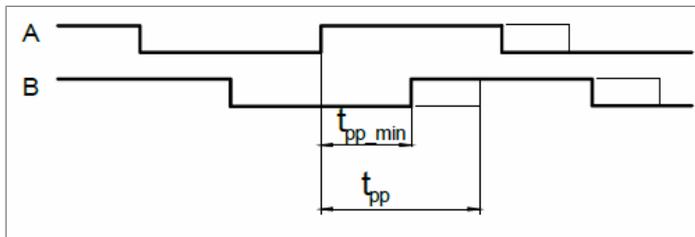


Abbildung 7: Flankenabstand

Für die Zählerbetriebsart (das Bit Speed im Config1-Register ist gesetzt) beträgt die max. Eingangsfrequenz $f_{max} = f_{OSZ} / 200$. In allen anderen Betriebsarten wird sie begrenzt durch den minimalen Impulsabstand am Ausgang. Es gilt:

$$f_{max} = 0.86 \cdot f_{OSZ} / (IR \cdot IT) < f_{OSZ} / 200$$

f_{OSZ} : Frequenz am Pin XA

IR: aktivierte Interpolationsrate

IT: aktivierte Intervallzeit

ⓘ Diese Werte gelten bei abgeglicherer Phase zwischen den Eingangssignalen und nach dem Einschwingen der internen Signalregelung. Bis zu diesem Zeitpunkt darf die Eingangsfrequenz nur 50% der angegebenen Maximalfrequenz betragen.

Als Grenzwerte ergeben sich eine maximale Eingangsfrequenz von 110kHz bei einem Takt von 22MHz zum einen, sowie ein garantierter Flankenabstand an den A/B-Signalen von 128µs bei einem Takt von 1MHz zum anderen. Zwischen diesen beiden Werten kann durch geeignete Wahl von Taktfrequenz und Intervallzeit der GC-IP1000B an eine große Reihe spezifischer Systeme angepasst werden.

Die Konfiguration des GC-IP1000B erfolgt nach den Anforderungen des Sensors und der Nachfolgeelektronik.

5.3.6 Konfiguration von t_{pp} und f_{osz}

ABZ-Ausgang benutzt?			
Nein		Ja	
CFG1-SPEED = 1 ERRMASK-FAST1 = 1 ERRMASK-FAST2 = 0 bzw. ERRMASK = 0xDF CFG0-IT(2:0): beliebig $f_{MAX} = f_{OSZ} / 200$	CFG1-SPEED = 0 ERRMASK-FAST1 = 1 ERRMASK-FAST2 = 1 bzw. ERRMASK = 0x3F oder 0xFF Bedingung: $t_{pp}(\text{Zähler an ABZ}) < t_{pp}(\text{GC-IP1000B})$		
	Oszillatorfrequenz vorgegeben?		
	Nein		Ja
	$N = 2$ CFG0-IT(2:0) = '001' $f_{OSZ} < 2/t_{pp}(\text{Zähler an ABZ})$ $t_{pp}(\text{GC-IP1000B}) = 2/f_{OSZ}$	$N = 1$ CFG0-IT(2:0) = '000' $f_{OSZ} < 1/t_{pp}(\text{Zähler an ABZ})$ $t_{pp}(\text{GC-IP1000B}) = 1/f_{OSZ}$	$N = 2_{CFG0-TPP(2:0)} > t_{pp}(\text{Zähler an ABZ}) \cdot f_{OSZ}$ $t_{pp}(\text{GC-IP1000B}) = N/f_{OSZ}$
$f_{MAX} \approx 0.86 \cdot f_{OSZ} / (N \cdot IRATE) < f_{OSZ} / 200;$			

Beispiele:

a) Der minimale Flankenabstand der an A, B und Z angeschlossenen Elektronik beträgt 250ns. Die Interpolationsrate ist 1000, die maximale Eingangsfrequenz beträgt 1kHz. Die Oszillatorfrequenz ist frei wählbar.

CFG1-SPEED = 0
 ERRMASK-FAST1 = 1
 ERRMASK-FAST2 = 1
 CFG1-IT(2:0) = '001'
 $f_{OSZ} < 2/250 \text{ ns}, 1\text{kHz} > 0.86 \cdot f_{OSZ} / (2 \cdot 1000)$
 $\rightarrow 3\text{MHz} < f_{OSZ} < 8\text{MHz}$

b) Der minimale Flankenabstand der an A, B und Z angeschlossenen Elektronik beträgt 150ns. Die Interpolationsrate ist 800. Die Oszillatorfrequenz beträgt 20MHz. Die maximale Eingangsfrequenz wird aus den vorgegebenen Parametern bestimmt.

CFG1-SPEED = 0
 ERRMASK-FAST1 = 1
 ERRMASK-FAST2 = 1
 $N = 2_{CFG1-TPP(2:0)} > 150\text{ns} \cdot 20\text{MHz} \rightarrow N > 3$
 $\rightarrow \text{CFG1-IT}(2:0) = '010', N=4, f_{MAX} = 0.86 \cdot 20\text{MHz} / (4 \cdot 800),$
 $\rightarrow f_{MAX} = 5.375\text{kHz}$

5.4 Glitchfilter

Der minimale zeitliche Abstand t_{pp} , zu dem die Ausgangssignale A,B und OREF schalten dürfen, kann zwischen $1/f_{osz}$ und $128/f_{osz}$ in binären Schritten eingestellt werden. Des weiteren ist es möglich, ein digitales Filter für diese Ausgänge zu aktivieren (Pin bzw. Bit GFE). In diesem Fall wird bei Stillstand bzw. kleinen Eingangsfrequenzen der minimale Flankenabstand (t_{pp}) automatisch auf $1024/f_{osz}$ geändert. Nach dem Schalten eines der Ausgänge wird die nächstfolgende Flanke des anderen Signals erst am IC-Ausgang sichtbar, wenn die Zeit t_{pp} abgelaufen ist. So kann auch im Falle einer kurzzeitigen Störung der Eingangssignale ein nachfolgend angeschlossener Interpolationszähler fehlerfrei arbeiten.

ⓘ Es ist zu beachten, dass im Umschaltbereich zur automatischen Aktivierung / Deaktivierung dieses Filters die Geschwindigkeitsproportionalität der A/B-Ausgangssignale nicht in jedem Fall gegeben ist.

5.5 Messwerttrigger

Mit einer Signalfanke am Pin TRG kann der aktuelle Zählwert in das Triggerhalterregister (SPI-Register TRG) übernommen werden. In diesem Fall wird das Bit FROZEN gesetzt. Eine erneute Triggerung wird solange verhindert, bis dieses Bit über einen der SPI-Befehle 0x05 (CLRTRG) bzw. 0x01 (RESCNT) rückgesetzt wird. In den Bits 31 und 30 des Triggerhalterregisters TRG sind der Zustand des Signals FROZEN und TRG abgelegt. Die aktive Triggerflanke kann mit dem Konfigurationsbit TRGSLP (Register CFG1) eingestellt werden.

5.6 Fehlerverarbeitung

Im IC gibt es 6 Quellen zur Erzeugung des Fehlersignals. Jede Quelle kann mit dem zugehörigen Bit im Fehlermaskenregister aktiviert werden. Bei aktiviertem Bit LatchErr werden die einzelnen Fehlersignale bis zum nächsten Reset bzw. zum nächsten SPI-Befehl ResetCount (Command 0x01) gespeichert. Die ODER-Verknüpfung der so maskierten bzw. gespeicherten Fehlersignale wird am Pin NERR L-aktiv ausgegeben. Bei aktiviertem Bit HoldErr verändern sich in diesem Fall die Ausgänge A_UP, B_Down und OREF nicht mehr. Es ist möglich, die Pins NERR und NRES zur Neusynchronisation des ICs im Fehlerfall zu verbinden. In diesem Fall ist das Fehlersignal 4 Systemtakte lang aktiv.

Tabelle 12: Fehlerverarbeitung

Bit	Bedeutung	Default
GCOMP	Regelgrenze des GAIN-Reglers ist erreicht	1
OCOMP	Regelgrenze des Offset-Reglers ist erreicht	1
BQLOW	Amplitudenfehler: der aus SIN und COS resultierende Vektor ist zu klein	1
ADUOVL	Einer der ADU ist übersteuert	1
FAST1	Eingangsfrequenz ist zu hoch, keine Richtungserkennung mehr möglich (Config-Bit Speed = 1) Eingangsfrequenz ist zu hoch, A/B-Signale können nicht gebildet werden (Config-Bit Speed = 0)	1
FAST2	Eingangsfrequenz ist zu hoch, Rechteckausgänge können nicht folgen (abhängig von IT(2:0)), wirkt nicht falls IT(2:0) gleich 00	1
HoldERR	Ausgangssignale werden im Fehlerfall nicht geändert	0
LatchERR	Maskiertes Fehlersignal wird bis zum SPI-Befehl 0x01 bzw. RESET gespeichert	0

Die fünf für die Zählerbetriebsart relevanten Fehlersignale GCOMP, OCOMP, SENS = BQLOW oder ADUOVL und FAST1 sind in den 4 MSB des SPI-Zählwertes (Leseadresse 0x00) gespeichert.

5.6.1 Sensorabrissfehler

Teilweises bzw. vollständiges Abreisen des angeschlossenen Sensors wird im GC-IP1000B im Moment des Eintretens erkannt. Danach versucht die Signalregelung diese Fehler auszugleichen, was aufgrund des großen Wertebereiches der Signalkorrekturregister dazu führen kann, dass diese Fehlerursache scheinbar nicht mehr vorhanden ist. Auch nach einem Reset des IC können, in Abhängigkeit von den konfigurierten Reglerinitialisierungswerten, nicht alle Fehlerzustände erkannt werden. (siehe auch Applikationshinweise).

① Für Rechteckbetrieb (A/B oder UP/DOWN) wird ein Wert von 0x3F bzw. 0xFF im Fehlermaskenregister empfohlen, für die Zählerbetriebsart ein Wert von 0xDF bei gesetztem SPEED-Bit im Register CFG1.

6 Serielle Schnittstelle (SPI)

Die serielle Schnittstelle enthält je ein 16 Bit Schieberegister für Lese- und Schreibzugriffe. Ein zusätzliches 16- Bit Haltereister dient bei Lesezugriffen zum Zwischenspeichern der beiden MSB. Ein 8-Bit Adressregister wird sowohl für Lese- als auch Schreibzugriffe verwendet. Das Schreiben in den GC-IP1000B erfolgt byteorientiert, das Lesen erfolgt wortorientiert. Die Übertragung selbst erfolgt in 16 Bit Worten. Ein geschriebenes Lesekommando führt dabei im darauffolgenden Zugriff zur zugehörigen Datenausgabe. Die Ausführung eines Single-Byte-Befehls erfolgt am Ende der Datenübertragung. Es ist möglich, bis zu 16 Kanäle an dieser Schnittstelle zu betreiben. Die Festlegung der Hardwareadresse des IC erfolgt dabei durch Lesen der Pins DP(3:0) mittels eines speziellen Kommandos.

Der GC-IP1000B ist ein Slave, der empfangene Kommandos und Daten auswertet, aber keine Kommunikation starten kann. Das SPI-Protokoll wird über 4 Leitungen ausgeführt:

- SDI Dateneingang
- SDO Datenausgang (open Drain), SDO dient auch als RDY-Signal
- SCLK Takt
- SCEN Enable

Jeder Transfer wird durch das Senden eines Kommandos (s. u.) eingeleitet. Dazu wird SCEN über 16 Takte SCLK auf L gehalten. Die Eingangsdaten an SDI werden zur steigenden Flanke von SCLK ausgewertet. Gleichzeitig wird mit jeder steigenden Flanke an SCLK das Schieben der Daten des Haltereisters ausgelöst.

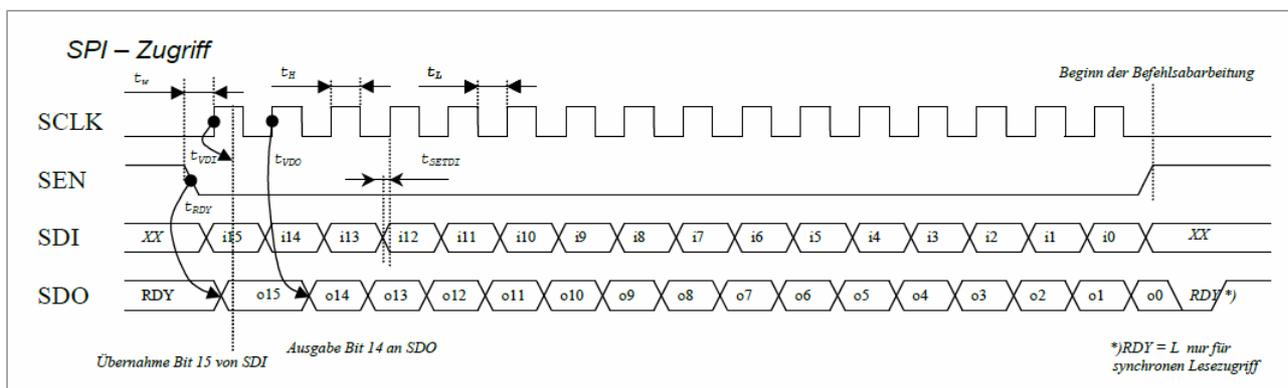


Abbildung 8: SPI-Zugriff

Tabelle 13: SPI

Name	Min	Max	Bedeutung
t_H	$2 \times T_{OSZ} + 15 \text{ ns}^{(1)}$		SPI-Takt, H-Zeit
t_L	$2 \times T_{OSZ} + 15 \text{ ns}^{(1)}$		SPI-Takt, L-Zeit
t_w	$2 \times T_{OSZ} + 15 \text{ ns}^{(1)}$		Wartezeit zwischen SCEN fallend und SCLK steigend
t_{RDY}	$3 \times T_{OSZ} + 15 \text{ ns}$	$4 \times T_{OSZ} + 15 \text{ ns}$	Umschaltverzögerung RDY / SDO ab SCEN
t_{VDI}		15 ns	Zeit zwischen SCLK steigend und Datenübernahme
t_{SETDI}	$1 \times T_{OSZ} + 15 \text{ ns}^{(1)}$		Setupzeit SDI vor SCLK
t_{VDO}	$4 \times T_{OSZ} + 15 \text{ ns}$	$5 \times T_{OSZ} + 15 \text{ ns}$	Zeit zwischen SCLK steigend und Datenausgabe

¹⁾ 15ns: nur wenn Takt an SCLK unabhängig vom Systemtakt (an Pin XA), sonst: Setup-Zeit vor fallender Flanke an Takt XA

6.1 Protokoll an SDI

Tabelle 14: Protokoll SPI

Bit-Nr. am Signal SDI															Bezeichnung	Beschreibung	
15	14	13	12	11	10	9	8	7	6	5	4	3	2	1	0		
0	X	0	0	X	X	X	X	X	X	X	X	X	X	X	X	RES	reserviert
0	nB ²⁾	0	1	H3 ²⁾	H2 ²⁾	H1 ²⁾	H0 ²⁾	A7	A6	A5	A4	A3	A2	A1	A0	WRA	Schreibe Adresse
0	nB ²⁾	1	0	H3 ²⁾	H2 ²⁾	H1 ²⁾	H0 ²⁾	D7	D6	D5	D4	D3	D2	D1	D0	WRD	Schreibe Daten
0	nB ²⁾	1	1	H3 ²⁾	H2 ²⁾	H1 ²⁾	H0 ²⁾	C7	C6	C5	C4	C3	C2	C1	C0	WRC	Schreibe Befehl
1	nB ²⁾	0	0	H3 ²⁾	H2 ²⁾	H1 ²⁾	H0 ²⁾	A7	A6	A5	A4	A3	A2	A1	A0	RD0/ST	Lese Byte 0 + 1 (LSB) ¹⁾
1	nB ²⁾	0	1	H3 ²⁾	H2 ²⁾	H1 ²⁾	H0 ²⁾	X	X	X	X	X	X	X	X	RD1	Lese Byte 2 + 3 (MSB)
1	nB ²⁾	1	X	H3 ²⁾	H2 ²⁾	H1 ²⁾	H0 ²⁾	X	X	X	X	X	X	X	X	NOP	Ausgabe des Leseregisters

¹⁾ Mit diesem Kommando erfolgt die Übernahme der internen Daten in ein 32-Bit Haltereister

²⁾ In einkanaligen Systemen diese Bits auf ‚0‘ setzen

Tabelle 15: Adressen SPI

Bit	Bezeichnung	Beschreibung	
nB	Broadcast (L-aktiv)	0:	Befehl an alle Kanäle
		1:	Befehl an den in H(3:0) adressierten Kanal
H(3:0)	Hardwareadresse	Kanaladresse der Datenübertragung (nur für WRA/WRD/WRC) Default: 0x00 wird nicht ausgewertet, wenn nB = 0	
A(7:0)	Registeradresse	Adresse innerhalb eines Kanals	
C(7:0)	Kommando	Single-Wort-Befehl	
D(7:0)	Datenwort	Daten Zum Schreiben / Gelesene Daten erscheinen an SDO	

Kommandowort –Beispiele

Setze Adressregister in allen angeschlossenen Kanälen auf 0x01:	0x1001
Schreibe Daten 0x48 in Kanal 0x04:	0x6448
Lese L-Wort von Register 0x07, nur ein IC ist vorhanden:	0x8007
Konfiguration der Hardwareadresse in allen angeschlossenen Kanälen	0x3000

6.2 Synchron- / Asynchronbetrieb

Lese-Daten werden mit dem Kommando RD0/ST in das Haltereister übernommen. Dies geschieht bei Gleichstand des internen Zykluszählers und dem SYNC-Register (Synchronbetrieb) bzw. bei gesetztem ASYNC-Bit (Asynchronbetrieb). Das Pin SDO ist während der Wartezeit Low. (Bedeutung RDY) .

In der synchronen Betriebsart der SPI können die Ausgangsdaten einem Abtastzeitpunkt zugeordnet werden. Es ist möglich, aquidistante Messungen durchzuführen. (siehe auch Applikationsbeispiel). In der asynchronen Betriebsart werden höhere Übertragungsgeschwindigkeiten erreicht.

Beispiel 32-Bit – Lesezugriff synchron zum internen Zykluszähler

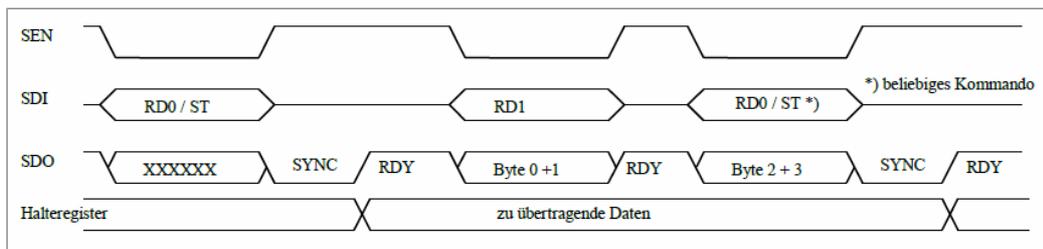


Abbildung 9: SPI-Zugriff

Beispiel 16-Bit – Lesezugriff asynchron, 3 Kanäle

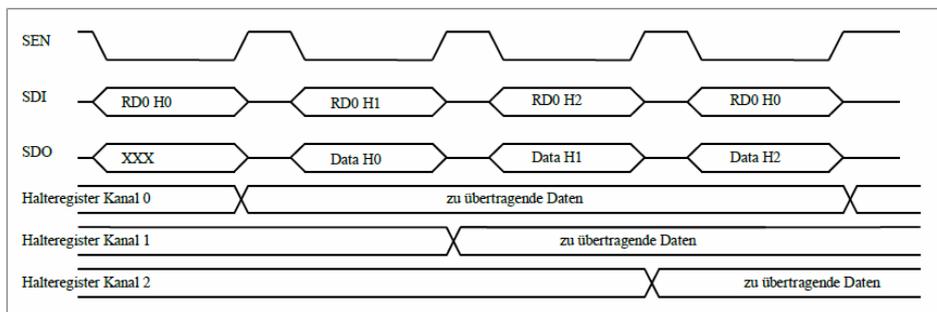


Abbildung 10: Lese-Zugriff

Beispiel Kommandoausführung 1 Kanal

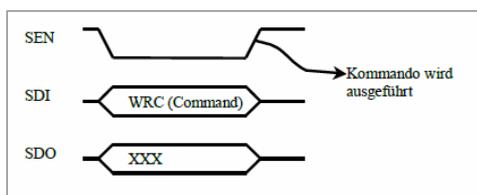


Abbildung 11: Kommandoausführung

Beispiel Schreibzugriff 1 Kanal

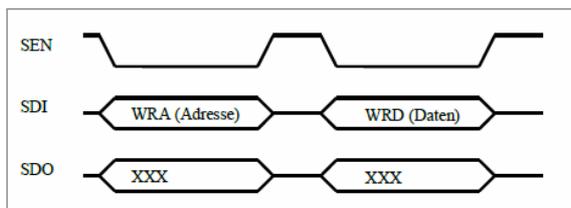


Abbildung 12: Schreibzugriff

7 EEPROM

Alle Konfigurationsdaten und Reglerwerte können in einem EEPROM abgelegt werden. Wenn dieser EEPROM nicht angeschlossen wird, arbeitet der IC mit den an den Konfigurations-Pins eingestellten Werten. Nach einem Reset (Hardware, Software) wird getestet, ob der EEPROM angeschlossen ist und bei Bedarf ausgelesen. Es ist möglich, bis zu 8 Bänke von Konfigurationsdaten im EEPROM abzulegen. Das Schreiben des EEPROM geschieht immer über die SPI-Schnittstelle. Aus diesem Grund ist zur Anpassung an spezielle Messsysteme und Geber einmalig ein Betrieb des GC-IP1000B mit SPI notwendig.

7.1 Signale / Hardwareprotokoll

Verwendet werden können die ATMEL-EEPROM-Typen AT59C11 und AT93C56 im 8 Bit-Modus. Für den AT93C56 muss dabei das Pin ERDY über einen Pull-Up-Widerstand auf DVDD gelegt werden. Zusätzlich muss nach jedem Schreibzugriff (WRITE / ERAL / WRAL) eine Wartezeit von > 10ms eingehalten werden.

7.2 Adresszuordnung

Die Adressen A6, A5 und A4 sind die Basisadresse für einen Block von Konfigurationsdaten. Die Adressen innerhalb des Blocks entsprechen den SPI-Schreibadressen. Ein Block ist wie folgt aufgebaut:

Tabelle 16: Adresszuordnung EEPROM

A (3:0)	Inhalt	A (3:0)	Inhalt
0	Config 0	8	Sinus Offset
1	Config 1	9	Kosinus Gain
2	Config 2	A	Kosinus Offset
3	ErrMask	B	reserviert (0x00)
4	Phase	C	reserviert (0x00)
5	reserviert (0x00)	D	reserviert (0x00)
6	reserviert (0x00)	E	reserviert (0x00)
7	Sinus Gain	F	Kennung

Kennung:

0x46

Daten in Konfigurationsblock 0 werden zur Konfiguration verwendet. Die Blöcke 1-7 können vom Anwender mit beliebigen Daten programmiert werden.

0x47

Daten im mittels DP(2:0) adressierten Konfigurationsblock werden verwendet.

sonst

EEPROM wird nicht verwendet und kann vom Anwender mit beliebigen Daten programmiert werden

7.3 OP-Codes

Tabelle 17: OP-Codes

EEPROM-Befehl	Bedeutung	POC (3:0)
EWEN	erlaube Schreibbefehle	0011 (0x03)
EWDS	verbiete Schreibbefehle	0000 (0x00)
READ	EEPROM lesen	1000 (0x08)
WRITE	EEPROM schreiben	0100 (0x04)
WRAL	alle Zellen schreiben	0001 (0x01)
ERAL	alle Zellen löschen	0010 (0x02)

8 Register

Der GC-IP1000B beinhaltet 16- und 32-Bit Leseregister sowie 8-Bit Schreibregister. Die Adresszuordnung erfolgt getrennt nach Lese- und Schreibregistern. Ein dritter Adressraum ist für Kommandos reserviert.

8.1 Leseregister

Tabelle 18: Leseregister

Adresse	Bedeutung	Byte 3	Byte 2	Byte1	Byte0
0x00	Zählwert / Status	CNT			
0x02	Regler Sinus			SOFF	SGAIN
0x03	Regler Kosinus			COFF	CGAIN
0x04	EEPROM			EEPSTAT	EEPRDAT
0x05	Konfiguration			CFG1	CFG0
0x06	Konfiguration			ERRMASK	CFG2
0x07	SPI-Modus			DPIN	SYNC
0x09	Interpolationsregister	DPHI		PHI	
0x0F	Trigger	TRG			

8.2 Schreibregister

Tabelle 19: Schreibregister

Adresse	Bedeutung	Name
0x00	Konfiguration	CFG0
0x01	Konfiguration	CFG1
0x02	Konfiguration	CFG2
0x03	Konfiguration	ERRMASK
0x04	Phasenkorrektur	PHASE
0x05	reserviert	ZZ1
0x06	reserviert	ZZ2
0x07	Regler Sinus (Gain)	SGAIN
0x08	Regler Sinus (Offset)	SOFF
0x09	Regler Kosinus (Gain)	CGAIN
0x0A	Regler Kosinus (Offset)	COFF
0x0B	SPI-Synchronisation	SYNC
0x0C	EEPROM – Schreibdaten	EEPWDAT
0x0D	EEPROM – Adresse	EEPADR
0x0E	EEPROM – OPCode	EEPOPC

8.3 Kommandos

Tabelle 20: Kommandos

Command	Bezeichnung	Beschreibung
0x00	Kanal	Die Hardwareadresse wird von den Pins DP(3:0) gelesen. Dieses Kommando muss immer als Broadcast-Kommando durchgeführt werden. ⓘ In Mehrkanalsystemen muss dieses Kommando als erster Befehl nach einem Global-Reset gesendet werden!
0x01	Reset Count	Der Parallelzähler wird zurückgesetzt, das Fehlerregister wird gelöscht, das Triggerhaltereregister wird für einen neuen Triggervorgang freigegeben.
0x02	Init	Die Konfiguration wird aus den EEPROM gelesen, der Parallelzähler wird zurückgesetzt, Fehlerregister werden gelöscht.
0x03	Init Regler	Die Regler-Werte werden aus dem EEPROM gelesen.
0x04	Reset Regler	Die Regler werden in die Mitte gestellt.
0x05	Clear Frozen	Das Triggerhaltereregister wird für einen neuen Triggervorgang freigegeben.

8.4 Kodierung

CNT Status / Zählwert

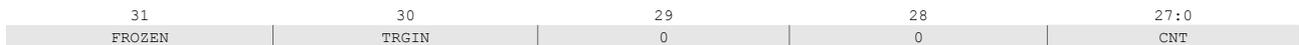
Leseadresse: 0x00
 Resetwert: 0x00



- CNT Zählwert (Zweierkomplement)
- FAST1 Geschwindigkeitsfehler
- SENS Sensor-Fehler (ADU-Overflow oder Sensorabriss)
- OCOMP Offset-Fehler
- GCOMP Gain-Fehler

TRG Triggerhaltereregister Status / Zählwert

Leseadresse: 0x0F
 Resetwert: 0x00



- CNT Zählwert (Zweierkomplement) gespeichert im Triggerhaltereregister
- FROZEN neuer Triggerwert wurde gespeichert, Triggereingang gesperrt
- TRGIN aktueller Pegel am TRG – Pin

PHI Interpolationsergebnis / Phasenwinkel

Leseadresse: 0x09 (Byte 1/0)



- PHI Signalphase (vorzeichenlos binar)
 Skalierung: 0 ... IR = 0° ... 360°

Für IRATE 1000/500/250/125 Skalierung: 0...1000 = 0...360°, Maximalwert 999
 Für IRATE 800/400/200/100 Skalierung: 0... 800 = 0...360°, Maximalwert 799

DPHI Interpolationsergebnis / Phasenwinkeländerung

Leseadresse: 0x09 (Byte 3/2)



DPHI Signalphasenänderung (Zweierkomplement)
Skalierung: -IR/2 ... +IR/2 = -180° ... +180°

DPIN DP-Eingänge

Leseadresse: 0x07 (Byte 1)
Resetwert: Pins (DP 3:0)



DP (3:0) Pegel an den GC-IP1000B Pins DP (3:0)

CFG0 Konfigurationsregister 0

Leseadresse 0x05 (Byte 0)
Schreibadresse 0x00
EEPROM-Adresse 0x00
Resetwert Konfigurationspins werden gelesen



IR (2:0)	Interpolationsrate	Rechteckperioden A/B	IT (2:0)	Intervallzeit t_{pp} in $1/f_{osz}$
000	800	200	000	1
001	400	100	001	2
010	200	50	010	4
011	100	25	011	8
100	1000	250	100	16
101	500	125	101	32
110	250	62.5	110	64
111	125	31.25	111	128

UDMODE 0 Pins A_UP und B_DOWN arbeiten im A/B-Modus
1 Pins A_UP und B_DOWN arbeiten im Up/Down-Modus

GFE 0 Glitchfilter deaktiviert
1 Glitchfilter aktiviert

CFG1 Konfigurationsregister 1

Leseadresse 0x05 (Byte 1)
Schreibadresse 0x01
EEPROM-Adresse 0x01
Resetwert 0x00

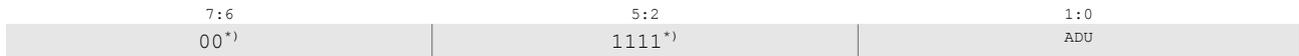


^{*)} Bits dürfen nicht geändert werden, um die korrekte Funktion des IC zu garantieren

DISREG	0	interne Signalregelung aktiviert
	1	interne Signalregelung deaktiviert
TRSLP	0	Triggerflanke an Pin TRG fallend
	1	Triggerflanke an Pin TRG steigend
DISREF	0	Referenzpunktverarbeitung aktiviert
	1	Referenzpunktverarbeitung deaktiviert
SPEED	0	Geschwindigkeitsüberwachung für A/B – Ausgänge konfigurieren
	1	Geschwindigkeitsüberwachung für internen Zähler konfigurieren

CFG2 Konfigurationsregister 2

Leseadresse 0x06 (Byte 0)
 Schreibadresse 0x02
 EEPROM-Adresse 0x02
 Resetwert 0x3C



*Bits dürfen nicht geändert werden, um die korrekte Funktion des IC zu garantieren

Pin MODE	Config-Bit ADU(1:0)	AD-Wandler
L	beliebig	intern, 12 Bit
H	0 0	TLC1417
H	0 1	TLC1400
H	1 0	AD7475
H	1 1	reserviert

ERRMASK Fehlermaskenregister

Leseadresse 0x06 (Byte 1)
 Schreibadresse 0x03
 EEPROM-Adresse 0x03
 Resetwert 0x3F

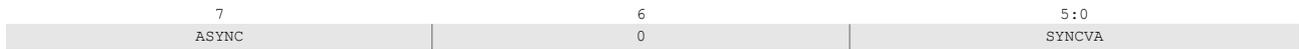


GCOMP Freigabe Gainfehlererkennung
 OCOMP Freigabe Offsetfehlererkennung
 BQLOW Freigabe Sensorabrisserkennung
 ADUOVL Freigabe Übersteuerungserkennung
 FAST1 Freigabe Geschwindigkeitsüberwachung (Zähler und A/B-Signal)
 FAST2 Freigabe Geschwindigkeitsüberwachung (A/B-Signal)
 HOLD Deaktivierung der Rechteckausgänge im Fehlerfall
 LATCH Speicherung der Fehlerzustände

① Für Rechteckbetrieb (A/B oder UP/DOWN) wird ein Wert von 0x3F bzw. 0xFF im Fehlermaskenregister empfohlen, für die Zählerbetriebsart ein Wert von 0xDF bei gesetztem SPEED-Bit im Config1-Register.

SYNC SPI-Synchronisationsregister

Leseadresse 0x07 (Byte 0)
 Schreibadresse 0x0B
 EEPROM-Adresse 0x0B
 Resetwert 0x00

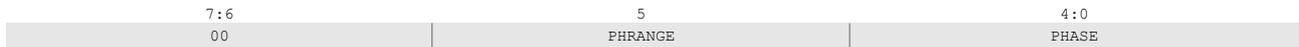


ASYNC 0 Übernahme der Lesedaten mit SPI-RD0/ST bei nächstem Gleichstand von Zykluszähler und SYNCVAL
 1 Übernahme der Lesedaten immer mit SPI-RD0/ST

SYNCVAL SPI-Synchronisationstakt

PHASE Phasenpotentiometer

Schreibadressen 0x04
 EEPROM-Adresse 0x04
 Resetwert 0x0F

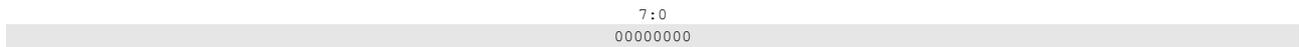


PHRANGE 0 Einstellbereich Phasenpotentiometer ±6°
 1 Einstellbereich Phasenpotentiometer ±12°

PHASE 0x00 maximale Phasenkorrektur negativ
 0x0F keine Phasenkorrektur
 0x1E maximale Phasenkorrektur positiv
 0x1F keine Phasenkorrektur

ZZ1 reserviert
ZZ2 reserviert

Schreibadressen 0x05 / 0x06
 EEPROM-Adressen 0x05 / 0x06
 Resetwert 0x00



Alle Bits dieser Register müssen auf den Wert 0 gesetzt werden.

SGAIN Gainkorrekturwert Sinus
CGAIN Gainkorrekturwert Kosinus

Leseadressen 0x02 / 0x03 (Byte 0)
 Schreibadressen 0x07 / 0x09
 EEPROM-Adresse 0x07 / 0x09
 Resetwert 0x80



GAIN aktueller Wert der Gainkorrekturregister (vorzeichenlos binär)
 Skalierung: 0x00 Faktor 0.5
 0x80 Faktor 1
 0xFF Faktor 1.5

SOFF	Offsetkorrekturwert Sinus
COFF	Offsetkorrekturwert Kosinus

Leseadressen 0x02 / 0x03 (Byte 1)
 Schreibadressen 0x08 / 0x0A
 EEPROM-Adresse 0x08 / 0x0A
 Resetwert 0x00



OFFSET aktueller Wert der Offsetkorrekturregister (Zweierkomplement)
 Skalierung: 0x80 maximaler Offset negativ (-25% ADU-Maximal)
 0x00 kein Offset
 0x7F maximaler Offset positiv (+25% ADU-Maximal)

ⓘ Schreibzugriffe auf die Register SOFF/COFF/SGAIN/CGAIN dienen zur Voreinstellung - diese Register werden ständig von der internen Signalregelung aktualisiert. Der angegebene Skalierungsfaktor gilt für das Verhalten des Korrekturregisters, er beschreibt nicht den maximal möglichen Signalfehler.

EEPDRAT	EEPROM – gelesene Daten
EEPWRAT	EEPROM – zu schreibende Daten

Leseadresse 0x04 (Byte 0)
 Schreibadresse 0x0C
 Resetwert 0x00



DATA EEPROM-Daten

EEPSTAT	EEPROM – Status
----------------	------------------------

Leseadresse 0x04 (Byte 1)
 Resetwert erkannter EEPROM



EEPisBank bankadressierter EEPROM wurde erkannt
 EEPexist gültiger EEPROM wurde erkannt
 EEPConf GC-IP1000B greift zur Konfiguration auf EEPROM zu, SPI-Befehle zur Konfiguration bzw. zum EEPROM-Zugriff sind verboten

EEPADR	EEPROM – Adresse
---------------	-------------------------

Schreibadresse 0x0D
 Resetwert 0x00



BANK Auswahl EEPROM-Konfigurationsbank
 ADR Auswahl EEPROM-Adresse

EEPOPC EEPROM – Befehlsausführung

Schreibadresse 0x0E
 Resetwert 0x00

7:4 0000	3:0 OPC
-------------	------------

EEPROM-Befehl	Bedeutung	POC (3:0)
EWEN	erlaube Schreibbefehle	0011 (0x03)
EWDS	verbiete Schreibbefehle	0000 (0x00)
READ	EEPROM lesen	1000 (0x08)
WRITE	EEPROM schreiben	0100 (0x04)
WRAL	alle Zellen schreiben	0001 (0x01)
ERAL	alle Zellen löschen	0010 (0x02)

① Schreiben auf Register EEPOPC bewirkt den Beginn eines EEPROM-Zugriffs. EEPROM-Daten werden nur bei den OPCodes WRITE und WRAL ausgewertet. Ein EEPROM-Zugriff wird ignoriert, wenn bereits ein EEP-Zugriff aktiv ist. Nach der Ausführung eines EEPROM-Kommandos sind die SPI-Schreibregister EEPWDAT, EEPADR und EEPOPC undefiniert.

9 Signallaufzeit

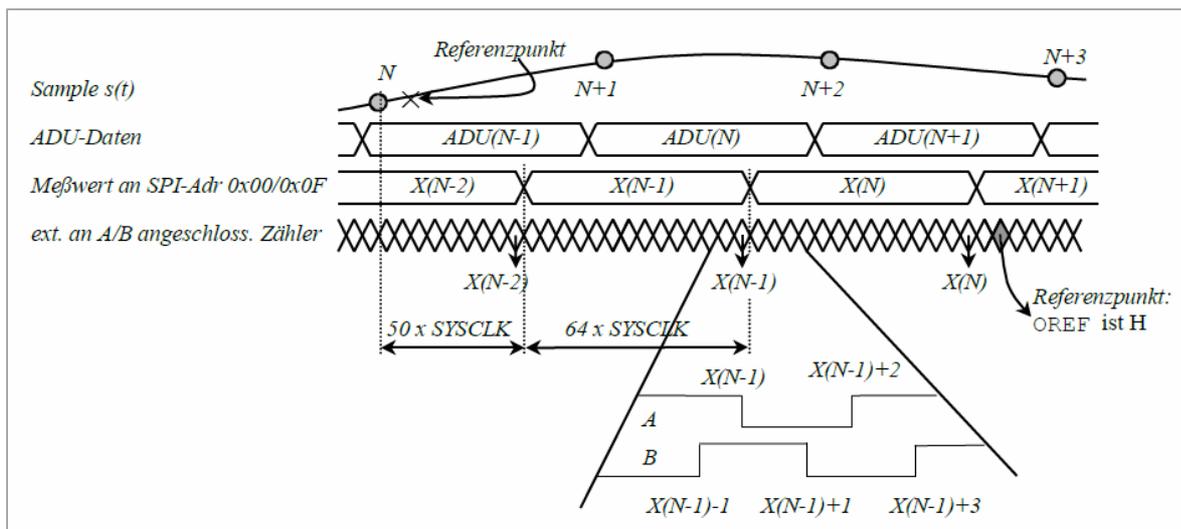


Abbildung 13: Signallaufzeit

Die Verzögerungszeit t_v zwischen Abtastzeitpunkt und Messergebnis beträgt 114 Systemtakt für den Messwert im SPI-Register CNT bzw. TRG. Bei Verwendung eines Zählers an den Ausgängen A_UP und B_Down beträgt diese Zeit 178 Systemtakt.

① Es ist zu beachten, dass die konstante Verzögerungszeit des IC (wie in jedem digitalem System) dazu führt, dass sich eine frequenzabhängige Phasenverschiebung zwischen den analogen Eingangssignalen und den Ausgangssignalen ergibt. ($d_j = 2p \cdot f \cdot t_v$).

10 Kennwerte

Tabelle 21: Betriebsbedingungen

Kennwert	Min.	Typ.	Max.	Einheit
Betriebsspannung Analog / Digital	4.75	5.0	5.25	V
Stromaufnahme analog (@20°C)	25	35	60	mA
Stromaufnahme digital (@20MHz & 20°C)		25		mA
Takt Low-Zeit / High-Zeit	23 ¹⁾		500	ns
Oszillator an XA (externer Takt)				
Betriebstemperatur	-20		85	°C
Taktfrequenz	1		22	MHz
Quarz an XA und XB				
Betriebstemperatur	0		85	°C
Taktfrequenz	1		20 ¹⁾	MHz
interne Kapazität an XA und XB		3		pF

¹⁾ Bei Einsatz eines Quarzes zur Taktversorgung darf minimale Takt-Low/High-Zeit im gesamten Temperaturbereich nicht unterschritten werden.

Tabelle 22: Analoger Eingangsteil

Kennwert	Min.	Typ.	Max.	Einheit
Eingangsfrequenz Analogteil (< 1dB Dämpfung)			150	kHz
Phasenverschiebung zwischen SIN und COS @100kHz		< 0.3	< 0.5	°
Amplitude SINN ⇔ SINP / COSN ⇔ COSP	80% Nominal	je nach G0/G1	120% Nominal	
Common-ModePegel SINN ⇔ SINP / COSN ⇔ COSP	1.5	$V_{cc} / 2$	$V_{cc} - 1.5V$	V
CMRR (< 5Hz)		62		dB
PSRR (< 5Hz)		62		dB
Eingangsimpedanz		1GW 10pF		
Ausgangsstrom an U0S / U0S180 / U0C			100	µA
Phasenkorrektur (Bereich 1)	±5	±6	±7	°
Phasenkorrektur (Bereich 2)	±11	±12	±13	°
Schaltbereich ReferenzpunktKomparator		-10/+15		mV

Tabelle 23: ADU

Kennwert	Min.	Typ.	Max.	Einheit
Eingangsimpedanz		100MW 45pF		
Referenzspannung positiv (RxH)	3.75	3.85	3.95	V
Referenzspannung positiv (RxL)	0.66	0.70	0.74	V
Signal-Amplitude (Direkteinspeisung)		1.95		V_{pp}

Tabelle 24: Interpolation

Kennwert	Min.	Typ.	Max.	Einheit
Eingangsfrequenz	0		$f_{osz} / 200$	kHz
Amplitudenregelung		±20%		bez. auf Nominal
Offsetregelung		±10%		
Interpolationsrate	100		1000	
minimale Intervallzeit A/B – Signal	$1 / f_{osz}$		$128 / f_{osz}$	ns
Impulsbreite UP/DOWN-Signal	$1 / (2 * f_{osz})$		$64 / f_{osz}$	ns
Interpolationsgenauigkeit		±0.7	±1.5	Ink.
Verzögerungszeit (Parallelzähler)		114		SYSClk
Verzögerungszeit (Rechteckausgänge)		178		SYSClk
Pulsbreite Triggersignal an TRG	$1 / f_{osz} + 15$			ns

Kennwert	Min.	Typ.	Max.	Einheit
ESD-Festigkeit			1	kV
Setup-Zeit NRES vor XA (fallende Flanke)			15	ns

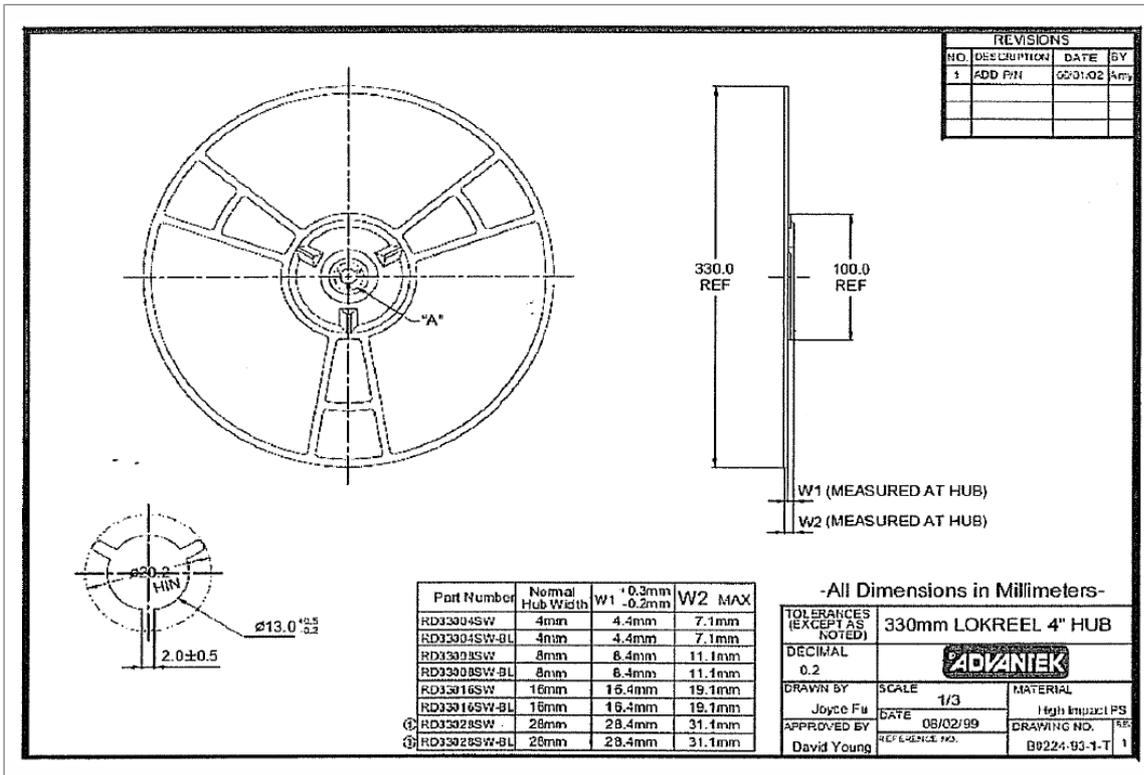


Abbildung 16: GC-IP1000B Antistatic Plastic Reel

